

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ УКРАЇНИ
«КИЇВСЬКИЙ ПОЛІТЕХНІЧНИЙ ІНСТИТУТ
імені ІГОРЯ СІКОРСЬКОГО»

К. С. Клен, П. С. Сафронов

СХЕМОТЕХНІКА: ЧАСТИНА 2. ЦИФРОВА СХЕМОТЕХНІКА: ПРАКТИКУМ

*Рекомендовано Методичною радою КПІ ім. Ігоря Сікорського
як навчальний посібник для здобувачів ступеня бакалавра за освітніми програмами
«Електронні компоненти і системи» та «Електронні прилади та пристрої»
спеціальності 171 Електроніка*

Київ
КПІ ім. Ігоря Сікорського
2021

Рецензент *Найда С. А.*, д-р техн. наук, проф., завідувач кафедри акустичних та мультимедійних електронних систем,
Національний технічний університет України
«Київський політехнічний інститут імені Ігоря Сікорського»

Відповідальний редактор *Ямненко Ю. С.*, д-р техн. наук, проф., завідувачка кафедри електронних пристроїв та систем

*Гриф надано Методичною радою КПІ ім. Ігоря Сікорського (протокол № 7 від 13.05.2021 р.)
за поданням Вченої ради Факультету електроніки (протокол № 03/2021 від 29.03.2021 р.)*

Електронне мережне навчальне видання

Клен Катерина Сергіївна, канд. техн. наук, доц.
Сафронов Павло Сергійович, канд. техн. наук, доц.

СХЕМОТЕХНІКА: ЧАСТИНА 2. ЦИФРОВА СХЕМОТЕХНІКА: ПРАКТИКУМ

Схемотехніка: Частина 2. Цифрова схемотехніка: Практикум [Електронний ресурс]: навч. посіб. для студ. спеціальності 171 «Електроніка» / К. С. Клен, П. С. Сафронов; КПІ ім. Ігоря Сікорського. – Електронні текстові дані (1 файл: 2,34 Мбайт). – Київ : КПІ ім. Ігоря Сікорського, 2021. – 67 с.

У посібнику розглянуто математичний апарат цифрової схемотехніки, системи числення, основи алгебри логіки, методи мінімізації та перетворення логічних функцій, описано структури базових логічних елементів різних технологій виконання та особливості їх використання у цифрових пристроях, розглянуто елементи комбінаційної логіки на прикладі мультиплексорів та пристроїв секвенційної логіки. Посібник містить чисельні приклади, контрольні питання та завдання для самостійного виконання.

© К. С. Клен, П. С. Сафронов, 2021
© КПІ ім. Ігоря Сікорського, 2021

ЗМІСТ

Вступ.....	4
Практичне заняття №1. Системи числення. Правила переведення з однієї системи числення в іншу.....	5
Практичне заняття №2. Алгебра логіки.....	10
Практичне заняття №3. Мінімізація логічних функцій.....	16
Практичне заняття №4. Транзисторно-транзисторна логіка.....	23
Практичне заняття №5. Мікросхеми КМОН-структури.....	35
Практичне заняття №6. Використання базових логічних елементів.....	46
Практичне заняття №7. Синтез комбінаційних схем на мультиплексорах....	52
Практичне заняття №8. Перетворювачі кодів.....	57
Практичне заняття №9. Тригерні елементи.....	62
Список літератури.....	67

ВСТУП

Дисципліна «Схемотехніка – 2. Цифрова схемотехніка» надає знання методів побудови, функціонування та математичного опису елементів, функціональних вузлів та пристроїв цифрових систем.

Метою навчальної дисципліни є формування у студентів здатностей синтезувати та аналізувати цифрові схеми, проводити розробку цифрових схем функціональних вузлів та електронних пристроїв.

Під час вивчення дисципліни студенти використовують способи математичного опису функціонування цифрових схем на логічному та електричному рівнях, отримують знання сучасної компонентної бази цифрової схемотехніки та знайомляться з областями її застосування. Практичні заняття дозволяють розвинути та закріпити у студентів вміння будувати структури цифрових пристроїв.

У навчальному посібнику розглянуті системи числення та способи переведення чисел між різними системами чисел, викладено математичні основи роботи цифрових пристроїв, методи мінімізації і перетворення логічних функцій, описано структури базових логічних елементів різних технологій виконання та особливості їх використання у цифрових пристроях, розглянуто комбінаційні логічні елементи та елементи секвенційної логіки.

Зміст посібника структуровано у відповідності до практичних занять, що проводяться для здобувачів ступеня бакалавра за освітніми програмами «Електронні компоненти і системи» та «Електронні прилади та пристрої» спеціальності 171 «Електроніка».

ПРАКТИЧНЕ ЗАНЯТТЯ №1. СИСТЕМИ ЧИСЛЕННЯ. ПРАВИЛА ПЕРЕВЕДЕННЯ З ОДНІЄЇ СИСТЕМИ ЧИСЛЕННЯ В ІНШУ

Система числення – це спосіб запису (зображення) чисел.

Системи числення, в яких ваговий коефіцієнт кожної цифри залежить від її положення у послідовності цифр, що зображає число, називаються *позиційними*. У *непозиційних* системах значення кожної цифри постійне і не залежить від місця її розташування в числі (наприклад, римська система числення). Всі системи числення, які використовуються в цифровій схемотехніці, є позиційними.

При розгляді позиційних систем важливим виступає поняття *базису*. *Базис системи числення* – це послідовність чисел, яка задає значення (вагу) кожної цифри в залежності від місця її розміщення.

У загальному випадку для позиційних систем числення базис можна записати в вигляді послідовних членів геометричної прогресії:

$$P^{-m}, \dots, P^{-2}, P^{-1}, P^0, P^1, P^2, \dots, P^n, \dots,$$

де число P називається *основою системи числення*.

Сукупність різних цифр, які використовуються в позиційній системі числення для запису чисел, називається *алфавітом системи*.

Приклад 1. Подати число $A = 837,25_{10}$ у розгорнутій формі десяткової системи числення.

$$A = 8 \cdot 10^2 + 3 \cdot 10^1 + 7 \cdot 10^0 + 2 \cdot 10^{-1} + 5 \cdot 10^{-2}$$

Приклад 2. Записати число 61_{10} в різних системах числення: трійковій, четвірковій, шістнадцятковій, з основою 61.

- у трійковій – 2021_3
- у четвірковій – 331_4
- у шістнадцятковій – $3D_{16}$
- з основою 61 – 10_{61}

Кількість цифр в алфавіті P -ічної системи числення дорівнює основі системи числення, починаючи з нуля. Тому алфавітом P -ічної системи числення є натуральний ряд чисел від нуля до P^{i-1} .

Переведення чисел з однієї позиційної системи числення в іншу. Якщо число A представлено в P -ічній системі числення, то його для переведення в десяткову систему числення його необхідно представити в формі

$$A = a_n P^n + a_{n-1} P^{n-1} + \dots + a_1 P^1 + a_0 P^0 + a_{-1} P^{-1} + a_{-2} P^{-2} + \dots + a_k P^{-k}.$$

Для отримання значення цього багаточлена, записаного в десятковій системі числення, необхідно число P і коефіцієнти при ступенях P (цифри алфавіту P -ічного числа) записати у вигляді десяткових чисел, і всі обчислення провести в десятковій системі.

Приклад 3. Перевести число $A = C20B_{16}$ у десяткову форму запису. $C = 12, B = 11$.

$$A = 12 \cdot 16^3 + 2 \cdot 16^2 + 0 \cdot 16^1 + 11 \cdot 16^0 = 49675_{10}$$

Приклад 4. Перевести двійкове число $A = 11011_2$ у десяткову систему числення.

$$A = 1 \cdot 2^4 + 1 \cdot 2^3 + 0 \cdot 2^2 + 1 \cdot 2^1 + 1 \cdot 2^0 = 27$$

Приклад 5. Перевести число $A = 0,11_2$ у десяткову систему числення.

$$A = 1 \cdot 2^{-1} + 1 \cdot 2^{-2} = 0,75_{10}$$

Переведення цілого числа з десяткової системи числення в P -ічну. Для виконання подібних перетворень використовується декілька способів. Один з них полягає у наступному. Запишемо відоме число A_{10} , представлене в десятковій системі числення, в умовній P -ічній системі числення, де коефіцієнти a_n поки що невідомі:

$$A_{10} = a_n \cdot P^n + \dots + a_1 \cdot P^1 + a_0.$$

Розділивши праву і ліву частини на P , отримаємо ціле число

$$a_n \cdot P^{n-1} + \dots + a_1$$

і залишок, величина якого не перевищує значення $P - 1$. Таким шляхом отримується остання цифра запису числа в P -ічній системі числення. Не

зовсім зрозуміло: залишок – це і є остання цифра. Виконуючи аналогічне ділення десяткового числа n разів, можемо отримати всі невідомі коефіцієнти P -ічної системи числення.

Приклад 6. Перевести число 123_{10} у трійкову систему числення.

Послідовно виконуємо операцію ділення числа 123 на число 3.

$$123 : 3 = 41 + \text{залишок } 0$$

$$41 : 3 = 13 + \text{залишок } 2$$

$$13 : 3 = 4 + \text{залишок } 1$$

$$4 : 3 = 1 + \text{залишок } 1$$

$$1 : 3 = 0 + \text{залишок } 1$$

Записуємо значення залишків знизу вгору $123_{10} = 11120_3$.

Приклад 7. Перетворити у двійковий код число 105_{10} .

$$105 : 2 = 52 + \text{залишок } 1 = a_0$$

$$52 : 2 = 26 + \text{залишок } 0 = a_1$$

$$26 : 2 = 13 + \text{залишок } 0 = a_2$$

$$13 : 2 = 6 + \text{залишок } 1 = a_3$$

$$6 : 2 = 3 + \text{залишок } 0 = a_4$$

$$3 : 2 = 1 + \text{залишок } 1 = a_5$$

$$1 : 2 = 0 + \text{залишок } 1 = a_6$$

Тобто, $105_{10} = A_2 = a_6 a_5 a_4 a_3 a_2 a_1 a_0 = 1101001_2$.

Для *переводу дробової частини з десяткової системи числення в P -ічну* необхідно представити її у розгорнутому вигляді:

$$A_{10} = a_{-1} \cdot P^{-1} + a_{-2} \cdot P^{-2} + \dots + a_{-k} \cdot P^{-k} + \dots$$

Перемножуючи ліву і праву частини виразу на P в правій частині виразу отримуємо:

$$a_{-1} + a_{-2} \cdot P^{-2} \dots + a_{-k} \cdot P^{-k} + \dots$$

З отриманого результату можемо зробити висновок, що перша цифра a_{-1} дробової частини числа A в P -ічній системі числення дорівнює цілій частині результату перемноження десяткової дробової частини на P . Після чергового перемноження залишку дробової частини на P отримаємо значення a_{-2} :

$$(a_{-2} \cdot P^{-1} + \dots + a_{-k} \cdot P^{-k+1} + \dots) \cdot P.$$

Цей процес продовжується до тих пір, поки дробова частина результату перемноження лівої частини не стане рівною нулю або поки не буде виділений період повторності цифр.

Переведення числа з однієї недесяткової системи числення в аналогічну іншу виконується шляхом перетворення P -ічної системи числення в десяткову, після чого виконується друга частина операції. Виключення складає лише переведення з двійкової системи числення в шістнадцяткову і навпаки.

Приклад 8. Перевести число $A = 0,375_{10}$ в двійкову систему числення.

Виконуємо операцію множення в приведеній нижче послідовності.

$$0,375 \times 2 = 0,75 \quad 0 - \text{перша цифра результату}$$

$$0,75 \times 2 = 1,5 \quad 1 - \text{друга цифра результату}$$

$$0,5 \times 2 = 1 \quad 1 - \text{остання цифра результату}$$

Внаслідок виконання перетворень отримали результат $0,375_{10} = 0,011_2$.

Приклад 9. Перевести десяткове число $A = 0,109375_{10}$ у шістнадцяткову систему числення.

Виконуємо операцію множення в приведеній нижче послідовності.

$$0,109375 \times 16 = 1,75 \quad 1 - \text{перша цифра результату}$$

$$0,75 \times 16 = 12 \quad 12 = C - \text{остання цифра результату}$$

В результаті отримана відповідь: $0,109375_{10} = 0,1C_{16}$.

Контрольні питання та завдання для самостійного вирішення

1. Що таке система числення?
2. Які існують типи систем числення?
3. Що таке основа позиційної системи числення?
4. Яким чином переводяться числа з десяткової системи числення?
5. Яким чином числа в десяткову систему числення?
6. Переведіть числа 245, 752, 361, надані в десятковій системі числення в двійкову, вісімкову та в шістнадцяткову систему числення.
7. Переведіть десяткове число 111,525 в двійкове.
8. Переведіть шістнадцяткове число FB3 в двійкове та десяткове.

9. Переведіть двійкове число $10010_{(2)}$ в десяткове.
10. Переведіть двійкове число $11010,0101_{(2)}$ в десяткове.
11. Запишіть шістнадцяткові числа 58; AD, B5 в двійковій формі.
12. Переведіть шістнадцяткові числа BCD4, 2059, 1A3F, 8DF, A11A в десяткові, вісімкові та двійкові.
13. Переведіть десяткові числа 2021, 125, 1980, 888, 632, 1000, 555 в шістнадцяткові та двійкові.

ПРАКТИЧНЕ ЗАНЯТТЯ №2. АЛГЕБРА ЛОГІКИ

Арифметичні дії над двійковими числами виконують відповідно до виразів:

Додавання	Віднімання	Множення
$0 + 0 = 0$	$0 - 0 = 0$	$0 \cdot 0 = 0$
$1 + 0 = 1$	$1 - 0 = 1$	$1 \cdot 0 = 0$
$0 + 1 = 1$	$1 - 1 = 0$	$0 \cdot 1 = 0$
$1 + 1 = 10$	$10 - 1 = 1$	$1 \cdot 1 = 1$

Приклад 1. Скласти два додатних двійкових числа $A_2 = 1001_2$; $B_2 = 1101_2$.

При виконанні операції додавання мають місце переповнення у першому і четвертому розрядах і, відповідно, перенесення одиниці з першого розряду у другий і з четвертого у п'ятий.

$$\begin{array}{r}
 \begin{array}{cccc}
 & \downarrow 1 & & \downarrow 1 \\
 A_2 & = & 1 & 0 & 0 & 1 & = & 9_{10} \\
 + & B_2 & = & 1 & 1 & 0 & 1 & = & 13_{10} \\
 \hline
 (A+B)_2 & = & 1 & 0 & 1 & 1 & 0 & = & 22_{10}
 \end{array}
 \end{array}$$

Приклад 2. Виконати віднімання двійкових чисел: 1010 і 0110 .

$$\begin{array}{r}
 A_2 = 1010 = 10_{10} \\
 - B_2 = 0110 = 6_{10} \\
 \hline
 (A+B)_2 = 0100 = 22_{10}
 \end{array}$$

Приклад 3. Виконати множення двох чисел: $A = 101_2$; $B = 011_2$.

Множення є багаторазовим додаванням проміжних сум із зсувом.

$$\begin{array}{r}
 \begin{array}{rcl}
 A & = & 101 = 5_{10} \\
 \times B & = & 011 = 3_{10} \\
 \hline
 D_1 & = & 101 \\
 + D_2 & = & 101 \\
 \hline
 \text{Сума} & = & 1111 = 15_{10}
 \end{array}
 \end{array}$$

Приклад 4. Виконати ділення двійкових чисел: 101010 і 111.

Ділення складається з операцій віднімання, що повторюються.

$$\begin{array}{r|l} 101010 & 111 \\ -111 & 110 \\ \hline 0111 & \\ -111 & \\ \hline 0000 & \end{array}$$

Усі можливі логічні функції n змінних можна створити за допомогою трьох основних операцій:

а) логічне заперечення (інверсія, операція **НІ**); позначається рискою над відповідною функцією або аргументом;

б) логічне додавання (диз'юнкція, операція **АБО**), яке позначається символами (\vee), (+);

в) логічне множення (кон'юнкція, операція **І**), яке позначається символами (\wedge), (\cdot), (&). Для позначення еквівалентності логічних виразів використовується знак (=).

Запереченням (інверсією) називається такий зв'язок між аргументом x та функцією y , при якому y істинна тоді і тільки тоді, коли значення x хибне, і навпаки.

Логічним множенням (кон'юнкцією) декількох змінних називається така функція, яка істинна тоді і тільки тоді, коли одночасно істинні всі логічні змінні.

Логічним додаванням (диз'юнкцією) декількох змінних називається така функція, яка хибна тоді і тільки тоді, коли одночасно хибні всі додавані змінні.

Слід пам'ятати, що операція кон'юнкції є старшою операцією і виконується раніше диз'юнкції.

Приклад 5. Записати вираз функції трьох змінних, яка приймає істинні значення при умові, що будь-яка пара змінних одночасно має істинні значення.

Розв'язання. Введемо умовні позначення змінних x_0, x_1, x_2 .

У загальному плані функція матиме вигляд:

$$y = f(x_2, x_1, x_0).$$

Оскільки істинні значення функції визначаються будь-якою парою логічних змінних, тобто або x_0 і x_1 , або x_0 і x_2 , або x_1 і x_2 , то аналітична форма запису функції прийме вигляд:

$$y_1 = x_0 \cdot x_1 + x_0 \cdot x_2 + x_1 \cdot x_2.$$

Приклад 6. Формалізувати та записати у вигляді булевих функцій висловлення: лампочка охоронної сигналізації світиться, коли всі три двері приміщення зачинені.

Позначимо логічні змінні x_1, x_2, x_3 істинними, якщо відповідні двері зачинені. В такому випадку істинне значення функції (“лампочка сигналізації світиться”) визначається за формулою: $y_2 = x_1 \cdot x_2 \cdot x_3$.

Табл. 2.1. Значення булевих функцій

N	x_0	0	1	0	1	Назва функції	Позначення
	x_1	0	0	1	1		
0		0	0	0	0	Константа нуль	0
1		0	0	0	1	Кон’юнкція, I	$x_1 \cdot x_0$
2		0	0	1	0	Заборона по x_0	$x_1 \cdot \overline{x_0}$
3		0	0	1	1	Змінна x_1	x_1
4		0	1	0	0	Заборона по x_1	$\overline{x_1} \cdot x_0$
5		0	1	0	1	Змінна x_0	x_0
6		0	1	1	0	Викл. АБО , сума за mod 2	$x_1 \oplus x_0$
7		0	1	1	1	Диз’юнкція, АБО	$x_1 + x_0$
8		1	0	0	0	АБО-НІ , функція Пірса	$\overline{x_1 + x_0}$
9		1	0	0	1	Рівнозначність, еквівалентність	$x_1 \equiv x_0$
10		1	0	1	0	Заперечення x_0	$\overline{x_0}$
11		1	0	1	1	Імплікація по x_0	$\overline{x_1 + x_0} \rightarrow x_1$
12		1	1	0	0	Заперечення x_1	$\overline{x_1}$
13		1	1	0	1	Імплікація по x_1	$\overline{x_1 \rightarrow x_0} \rightarrow x_0$
14		1	1	1	0	Функція Шеффера I-НІ	$\overline{x_1 x_0}$
15		1	1	1	1	Константа 1	1

Табл. 2.2 Основні аксіоми та закони булевої алгебри

Назва аксіоми чи закону	Вирази
Аксіоми (тотожності)	$0 \cdot x = 0$ $1 + x = 1$ $0 + x = x$ $x \cdot x = x$ $x + x = x$ $x \cdot \bar{x} = 0$ $x + \bar{x} = 1$ $\bar{\bar{x}} = x$
Закони комутативності	$x_1 + x_2 = x_2 + x_1$ $x_1 \cdot x_2 = x_2 \cdot x_1$
Закони асоціативності	$x_1 + x_2 + x_3 = x_1 + (x_2 + x_3) = (x_1 + x_2) + x_3 =$ $= (x_1 + x_3) + x_2$ $x_1 \cdot x_2 \cdot x_3 = x_1 \cdot (x_2 \cdot x_3) =$ $= x_2 \cdot (x_1 \cdot x_3) = x_3 \cdot (x_1 \cdot x_2)$
Закони дистрибутивності	$x_1 \cdot (x_2 + x_3) = x_1 \cdot x_2 + x_1 \cdot x_3$ $x_1 + x_2 \cdot x_3 = (x_1 + x_2) \cdot (x_1 + x_3)$
Закони інверсії (теорема де Моргана, принцип подвійності)	$\overline{x_1 \cdot x_2} = \bar{x}_1 + \bar{x}_2$ $\overline{x_1 + x_2} = \bar{x}_1 \cdot \bar{x}_2$
Закони поглинання	$x_1 + x_1 \cdot x_2 = x_1$ $x_1 \cdot (x_1 + x_2) = x_1$

Приклад 7. Довести тотожності:

$$1) (x_1 + x_3) \cdot x_2 = x_1 x_2 \bar{x}_3 + \bar{x}_1 x_2 x_3 + x_1 x_2 x_3$$

$$\begin{aligned}
 x_1 x_2 \bar{x}_3 + \bar{x}_1 x_2 x_3 + x_1 x_2 x_3 &= x_1 x_2 \bar{x}_3 + \bar{x}_1 x_2 x_3 + x_1 x_2 x_3 + x_1 x_2 x_3 = \\
 &= x_1 x_2 (x_3 + \bar{x}_3) + x_2 x_3 (x_1 + \bar{x}_1) = x_1 x_2 + x_2 x_3 = x_2 (x_1 + x_3)
 \end{aligned}$$

$$2) x_1 x_3 + x_2 \bar{x}_3 + x_1 x_2 = x_1 x_3 + x_2 \bar{x}_3$$

$$x_1 x_3 + x_2 \bar{x}_3 + x_1 x_2 (x_3 + \bar{x}_3) = x_1 x_3 (1 + x_2) + x_2 \bar{x}_3 (1 + x_1) = x_1 x_3 + x_2 \bar{x}_3$$

Приклад 8. Знайти заперечення для кожного з виразів:

$$1) y_1 = x_1 + x_2 \bar{x}_3$$

$$\bar{y}_1 = \overline{x_1 + x_2 \bar{x}_3} = \bar{x}_1(x_2 + \bar{x}_3)$$

$$2) y_2 = [x_1 \bar{x}_2 + x_3(\bar{x}_1 + x_4 x_5)] \cdot [\bar{x}_2 + x_1 x_3(\bar{x}_4 + \bar{x}_2 \bar{x}_3)]$$

$$\begin{aligned} \bar{y}_2 &= \overline{[x_1 \bar{x}_2 + x_3(\bar{x}_1 + x_4 x_5)] \cdot [\bar{x}_2 + x_1 x_3(\bar{x}_4 + \bar{x}_2 \bar{x}_3)]} = \\ &= \bar{x}_3(\bar{x}_1 + \bar{x}_2) + x_1(\bar{x}_4 + \bar{x}_5) + x_2(\bar{x}_1 + \bar{x}_3) + x_4(x_2 + x_3) \end{aligned}$$

Приклад 9. Використовуючи теорему де-Моргана, перетворити наступні функції:

$$1) y_1 = \overline{x_1 + x_2} + \overline{x_1 x_2 x_3} + \overline{\bar{x}_1 x_3}$$

$$y_1 = \bar{x}_1 \bar{x}_2 + \bar{x}_1 + \bar{x}_2 + \bar{x}_3 + x_1 + \bar{x}_3 = 1$$

$$2) y_2 = \overline{(x_1 x_2 + \bar{x}_2 x_3) + (x_2 \bar{x}_3 + \bar{x}_1 x_2)}$$

$$y_2 = [(\bar{x}_1 + \bar{x}_2)(x_2 + \bar{x}_3)][(\bar{x}_2 + x_3)(x_1 + \bar{x}_2)]$$

$$3) y_3 = \overline{\overline{(x_1 + x_2) + (x_1 + x_2) \cdot (\bar{x}_3 + \bar{x}_2)} + \overline{(x_3 + \bar{x}_2)}}$$

$$y_3 = \bar{x}_1 \bar{x}_2 + x_1 + x_2 + \bar{x}_3 + \bar{x}_2 + \bar{x}_3 x_2 = 1$$

Контрольні запитання та завдання для самостійного вирішення

1. Сформулюйте теореми Де Моргана.
2. Сформулюйте закони поглинання та склеювання.
3. Сформулюйте закони комутативності.
4. Сформулюйте закони дистрибутивності
5. Складіть два двійкових числа:
 - а) 10010010 та 1010001;
 - б) 10000010 та 10010;
 - в) 100010 та 11001000.
6. Виконайте множення двійкових чисел:
 - а) 11001 та 110;
 - б) 100 та 11;
 - в) 100111 та 101.
7. Виконайте ділення двійкових чисел:
 - а) 11001 та 110;
 - б) 10010 та 11;

в) 100111 та 101.

8. Спростить логічні функції за допомогою аксіом та законів алгебри логіки:

а) $y_1 = \overline{x_1} + \overline{x_2} + (x_3 + x_1x_2)(x_4 + x_2);$

б) $y_2 = \overline{x_1} \cdot \overline{x_2} + x_1 \cdot \overline{x_2};$

в) $y_3 = \overline{x_1} \cdot x_2 \cdot \overline{x_3} + x_1 \cdot x_2 \cdot \overline{x_3} + \overline{x_1} \cdot x_2 \cdot \overline{x_3} + x_1 \cdot x_2 \cdot x_3$

г) $y_4 = \overline{x_1} \cdot x_2 + x_1 \cdot x_2;$

д) $y_4 = \overline{x_1} \cdot x_2 \cdot \overline{x_3} + x_1 \cdot x_2$

ПРАКТИЧНЕ ЗАНЯТТЯ №3. МІНІМІЗАЦІЯ ЛОГІЧНИХ ФУНКЦІЙ

Аналітично логічна функція може бути записана різними комбінаціями кон'юнкцій та диз'юнкцій логічних змінних. Зазвичай логічні функції записуються або у вигляді суми добутків логічних змінних (диз'юнкція кон'юнкцій) або у вигляді логічного добутку їх сум (кон'юнкція диз'юнкцій). Наведення функції у вигляді диз'юнкції кон'юнкцій називають *диз'юнктивною нормальною формою (ДНФ)*:

$$y = \overline{x_1 x_2} + \overline{x_1 x_3} + \overline{x_1 x_2 x_3} ,$$

а запис у вигляді кон'юнкції диз'юнкцій – відповідно, *кон'юнктивною нормальною формою (КНФ)*:

$$y = (x_1 + x_2)(x_2 + \overline{x_3})(\overline{x_1} + x_2 + x_3) .$$

Інверсія у відповідності з теоремою де Моргана будь-якої функції, приведений в одній формі, призводить до заміни запису на іншу форму.

Будь-яка логічна функція, задана в аналітичній формі, може бути перетворена на **ДНФ** або **КНФ** за допомогою тотожностей та законів алгебри логіки. При цьому для однієї і тієї ж функції може існувати декілька рівнозначних диз'юнктивних та кон'юнктивних нормальних форм.

У той же час, існує лише один вид **ДНФ** та **КНФ**, в яких функція може бути записана єдиним чином. Такі форми називаються *досконалими диз'юнктивними (кон'юнктивними) нормальними формами (ДДНФ, ДКНФ)*. Вони характеризуються тим, що в **ДДНФ** кожна кон'юнкція, а в **ДКНФ** кожна диз'юнкція містять усі логічні змінні даної функції, з інверсіями або без них.

Оскільки кожна кон'юнкція функції, що наведена у **ДДНФ**, визначає її істинне значення, відповідаюче “1”, то такі кон'юнкції називаються *конституєнтами одиниці (мінтермами)*. Аналогічно, диз'юнкції функції, що наведені у **ДКНФ**, називаються *конституєнтами нуля (макстермами)*.

Якщо замінити логічні змінні та їх заперечення одиницями та нулями, то кожна кон'юнкція буде представляти собою двійкове число. Така форма називається *досконалою скороченою диз'юнктивною формою або канонічною сумою*.

Приклад 1. Функцію $y = x_1 x_2 x_3 + x_1 x_2 \overline{x_3} + x_1 \overline{x_2} x_3$ зобразити в скороченій диз'юнктивній канонічній формі.

Перепишемо функцію, дещо змінивши нумерацію і порядок розміщення змінних:

$$y = x_2 \cdot x_1 \cdot x_0 + x_2 \cdot x_1 \cdot \overline{x_0} + x_2 \cdot \overline{x_1} \cdot x_0.$$

Скорочена диз'юнктивна канонічна форма приведеної функції матиме вигляд (у порядку розміщення кон'юнкцій):

$$y = \bigvee_0^7 5, 6, 7.$$

Аналогічно, функцію можна зобразити і у вигляді добутку макстермів. Така форма запису називається *канонічним добутком*. Наприклад:

$$y = \bigwedge_0^7 2, 4 = (x_2 + \overline{x_1} + x_0)(\overline{x_2} + x_1 + x_0).$$

Легко бачити можливість конвертації в представленні функції у вигляді макстермів та мінтермів, оскільки кожна з них доповнює функцію до повного перебору логічних змінних. Як приклади, можемо записати:

$$y = \bigvee_0^7 2, 6, 7 = \bigwedge_0^7 0, 1, 3, 4, 5;$$

$$y = \bigvee_0^7 0, 1, 3, 5 = \bigwedge_0^7 2, 4, 6, 7;$$

$$y = \bigvee_0^{15} 0, 4, 5, 9, 11, 13, 15 = \bigwedge_0^{15} 1, 2, 3, 6, 7, 8, 10, 12, 14.$$

Індекси біля умовних позначень операцій диз'юнкції та кон'юнкції вказують на діапазон можливих мінтермів та макстермів логічних функцій. Нижній індекс іноді не вказується.

Карта Карно – це компактна форма представлення таблиці істинності логічної функції із застосуванням для позначення (кодування) комбінацій змінних циклічного коду Грея.

		X ₀	
		0	1
X ₁	0	0 ⁰ 0	1 ¹ 1
	1	2 ² 1	3 ³ 0

Рис. 3.1.

Карта для двох логічних змінних наведена на рис. 3.1. Особливість карти Карно полягає в тому, що по горизонталі та по вертикалі задаються координати клітинок, якими виступають аргументи логічної функції. Тому кожна клітина має свою координату – 00, 01, 10, 11 – яка може бути представлена відповідною двійковою або десятковою цифрою. Значення функції записуються в відповідних клітинах нулями та одиницями. Наприклад, логічна функція $y = \bigvee_0^3 1, 2$ зображена двома одиницями і двома нулями у відповідних клітинах карти Карно (рис. 3.1).

При використанні карт Карно для функцій з більшою кількістю логічних змінних кількість клітин у карті зростає відповідно до формули

$$N = 2^n.$$

Приклад 2. Функцію, що приведена в скороченій канонічній формі:

$$y = \bigvee_0^{15} 2, 3, 4, 5, 10, 11, 12, 13,$$

зобразити у вигляді карти Карно.

Оскільки числові величини мінтермів перевищують число 7 і знаходяться в межах 15, то приведена логічна функція має чотири змінні, які представимо як x_3, x_2, x_1, x_0 . Карта Карно для чотирьох змінних має вигляд, приведений на рис. 3.2.

		$x_1 x_0$			
		00	01	11	10
$x_3 x_2$	00	0 0	1 0	3 1	2 1
	01	4 1	5 1	7 0	6 0
	11	12 1	13 1	15 0	14 0
	10	8 0	9 0	11 1	10 1

Рис. 3.2.

Метою мінімізації логічних функцій є зменшення вартості технічної реалізації логічних функцій незалежно від використовуваних апаратних засобів.

Аналітичний спосіб мінімізації. Для зменшення складності логічних функцій здебільшого використовуються операції склеювання:

$$x_1 x_2 + x_1 \overline{x_2} = x_1 (x_2 + \overline{x_2}) = x_1 ;$$

$$(x_1 + x_2) (x_1 + \overline{x_2}) = x_1$$

та поглинання:

$$x_1 + x_1 x_2 = x_1 (1 + x_2) = x_1 ;$$

$$x_1 (x_1 + x_2) = x_1 .$$

Приклад 3. Мінімізувати аналітичним способом логічну функцію

$$y = x_1 x_2 x_3 + \overline{x_1} x_2 x_3 + \overline{x_1} x_3 \overline{x_2} + x_1 \overline{x_2} \overline{x_3} + \overline{x_1} x_2 \overline{x_3} .$$

$$\begin{aligned} y &= x_1 x_2 x_3 + \overline{x_1} x_2 x_3 + \overline{x_1} x_3 \overline{x_2} + x_1 \overline{x_2} \overline{x_3} + \overline{x_1} x_2 \overline{x_3} = \\ &= x_1 x_2 x_3 + (\overline{x_1} x_2 + \overline{x_1} \overline{x_2}) (x_3 + \overline{x_3}) = x_1 x_2 x_3 + \overline{x_1} x_2 + \overline{x_1} \overline{x_2} = \\ &= x_1 x_2 x_3 + \overline{x_1} (x_2 + \overline{x_2}) = x_1 x_2 x_3 + \overline{x_1} . \end{aligned}$$

Одержана ДНФ має мінімальну складність.

Мінімізація за допомогою карт Карно (діаграм Вейча). Метод, оснований на використанні карт Карно, характеризується своєю простотою і наочністю. Зображення функції в площині координат її параметрів, подібно до алгебраїчних функцій, дозволяє наглядно встановити взаємозв'язки між її змінними і, як результат, виділити ті змінні, які є домінуючими в її визначенні.

Для пояснення методу перш за все сформулюємо основні властивості карт Карно:

- клітини карти, координати яких відрізняються лише параметрами однієї змінної, називаються *сусідніми*;
- сусідні клітини, значення функцій в яких або тільки істинні, або тільки хибні, можуть об'єднуватися в групи по 2^m клітин, де m – ціле число ($m = 0, 1, 2, 3, \dots$);
- при переході до аналітичної форми запису логічної функції з карти Карно вона може записуватись незмінними координатами об'єднаних груп клітин;

- у випадку неповністю визначеної функції невизначені клітини можуть бути довизначеними, виходячи з умови одержання більшої кількості об'єднаних клітин;

- одна клітина може об'єднуватись у декілька груп.

Використання карт Карно для мінімізації логічних функцій базується на наглядному використанні операції склеювання. Дійсно, дві сусідні клітки відрізняються лише однією змінною. Тому, об'єднуючи їх, ми записуємо лише незмінні координати, тобто виносимо їх за дужки. У дужках залишаються змінні координати, які об'єднуються в одну операцією склеювання. Для отримання мінімального значення функції, представленого картою Карно, окрім правил, викладених вище, необхідно користуватись загальним правилом: одиниці або нулі повинні об'єднуватись мінімальним числом найбільших контурів.

		$X_1 X_0$			
		00	01	11	10
$X_3 X_2$	00	0 1	1 0	3 0	2 1
	01	4 0	5 1	7 1	6 0
	11	12 0	13 1	15 1	14 0
	10	8 1	9 0	11 0	10 1

Рис. 3.3.

Приклад 4. Мінімізувати логічну функцію, що представлена у вигляді карти Карно (рис. 3.3).

Об'єднуючи сусідні клітини з істинними значеннями функції (тобто клітини 0, 2, 8, 10 та клітини 5, 7, 13, 15), записуємо їх незмінні координати:

- для центральних клітин: $y_1 = x_0 x_2$;
- для крайніх клітин: $y_2 = \overline{x_0} \overline{x_2}$.

Мінімізована логічна функція має вигляд:

$$y = y_1 + y_2 = x_0 x_2 + \overline{x_0} \overline{x_2}.$$

Аналогічний результат буде одержаний і при об'єднанні клітин з нулями. Продемонструємо це.

Для вертикальної групи клітин (клітини 1, 3, 9, 11) знаходимо: $\overline{y_3} = \overline{x_2} \cdot x_0$.

Для групи горизонтальних клітин (клітини 4, 6, 12, 14): $\overline{y_4} = x_2 \cdot \overline{x_0}$.

Мінімізована функція $\overline{y} = \overline{x_2} \cdot x_0 + x_2 \cdot \overline{x_0}$ операцією інверсії та теоремою де Моргана зводиться до отриманої раніше.

За допомогою карт Карно легко вирішуються задачі мінімізації функцій з кількістю змінних до шести включно. При більшій кількості змінних пошук мінімальних форм запису функцій значно ускладнюється і наочність карт Карно втрачається.

Завдання для самостійного вирішення

1. Спростить за допомогою алгебри логіки наступну нормальну форму і перевірте отримане спрощення за допомогою карти Карно:

$$y = x_1 \cdot x_2 \cdot x_3 + x_1 \cdot \overline{x_2} \cdot x_3 + x_1 \cdot \overline{x_1} \cdot \overline{x_2} \cdot x_3 + \overline{x_1} \cdot \overline{x_2} \cdot \overline{x_3}$$

2. Мінімізуйте функцію, що задана таблицею істинності

а)

x_3	x_3	x_3	y
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

6)

x_3	x_3	x_3	y
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

B)

x_3	x_3	x_3	y
0	0	0	1
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	0

ПРАКТИЧНЕ ЗАНЯТТЯ №4.

ТРАНЗИСТОРНО-ТРАНЗИСТОРНА ЛОГІКА

Базовим є такий логічний елемент, параметри якого найбільш повно характеризують фізичні властивості більшості інтегральних схем даної серії.

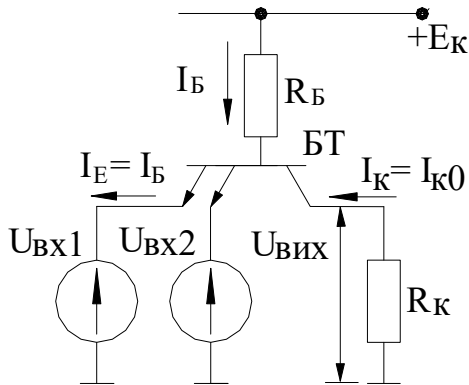


Рис. 4.1.

Логічним елементом в інтегральних схемах (ІС) ТТЛ-серій є багатоемітерний транзистор (БТ) (рис. 4.1).

Інформаційні входні сигнали подаються на емітери транзистора по відношенню до загальної шини. При низькому рівні входньої напруги $U_{ВХ}$ на i -му вході відповідний перехід база-емітер зміщується в прямому

напрямку і струм бази $I_B = \frac{E_K - U_{BE}}{R_B} = I_E$

замикається через відповідний емітерний перехід. Оскільки напруга колекторного живлення дорівнює нулю, то транзистор знаходиться в режимі насичення і $U_{ВИХ} \approx 0$. Якщо кількість входів транзистора більше одного, то, незалежно від напруги на них, величина не зміниться, що дозволяє невикористані входи залишати розімкнутими, тобто якщо маємо нульовий рівень входньої напруги на одному вході, то рівень логічних сигналів на решті входів не впливатиме на рівень вихідного сигналу.

Якщо тепер на обидва входи БТ подати сигнали високого рівня $U_{ВХ1} = U_{ВХ2} = E_K$, то переходи емітер-база змістяться в зворотному напрямку, а перехід база-колектор – у прямому. Завдяки цьому базовий струм буде протікати через колекторний перехід і на виході з'явиться напруга

$$U_{ВИХ}^1 = E_K \frac{R_K}{R_B + R_K}.$$

У відповідності до стану емітерного і колекторного переходів, транзистор знаходиться в інверсному стані в активному режимі. Входний

струм від джерел інформаційних сигналів визначатиметься зворотнім струмом емітерних р-n переходів.

Як результат аналізу, з'ясовуємо, що БТ реалізує логічну операцію **I (2I)**.

Але приведений логічний елемент не може використовуватись самостійно, адже рівень логічної одиниці на виході елемента нижчий, ніж на вході. Тому, а також з метою забезпечення необхідних динамічних характеристик та перешкодостійкості, БТ використовують разом з ТТЛ-ключем із динамічним навантаженням (рис. 4.2).

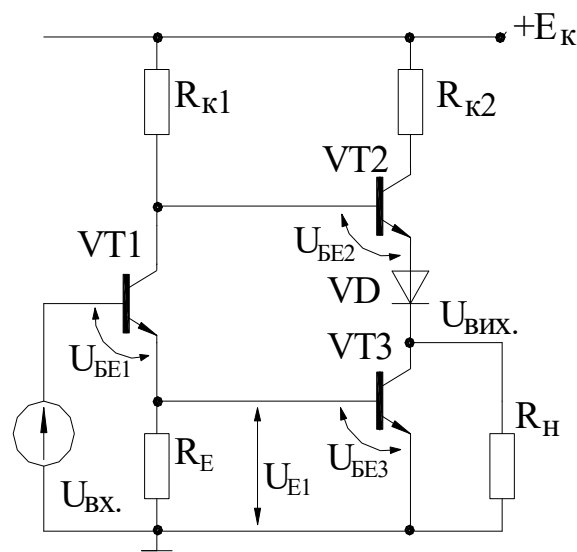


Рис. 4.2.

На рис. 4.3 приведена принципова схема базового ТТЛ логічного елемента. Протягом чверті століття він використовувався в серіях К134, К155 та ряду інших серій з невеликими доповненнями. На входах $x_1 - x_3$ швидкодіючих схем ТТЛ включаються діоди $VD1...VD3$, які часто називають *антидзвоновими*. Вони обмежують амплітуду негативних перешкод, які створюються при розповсюдженні логічних сигналів у лініях зв'язку, між мікросхемами з-за відбиття на кінцях неузгоджених ліній. Завдяки цим діодам амплітуда перешкоди, що потрапляє на входи БТ, буде меншою рівня порогу перемикавання. Якщо така перешкода, відбившись від початку лінії і змінивши свою полярність, поступить на вхід логічного елемента, то вона не зможе змінити його стан.

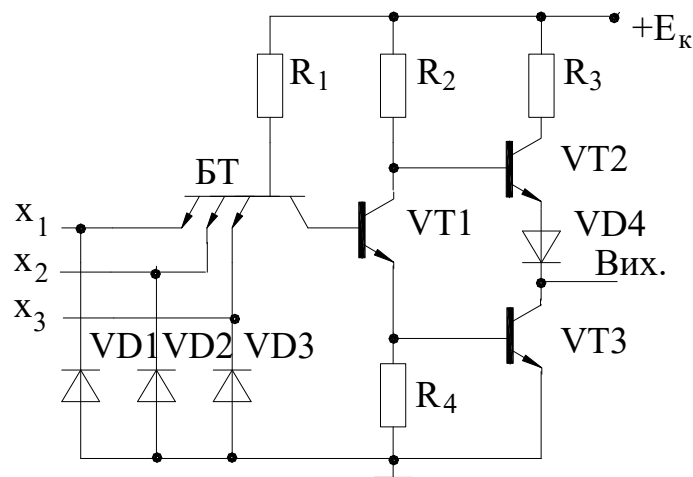


Рис. 4.3.

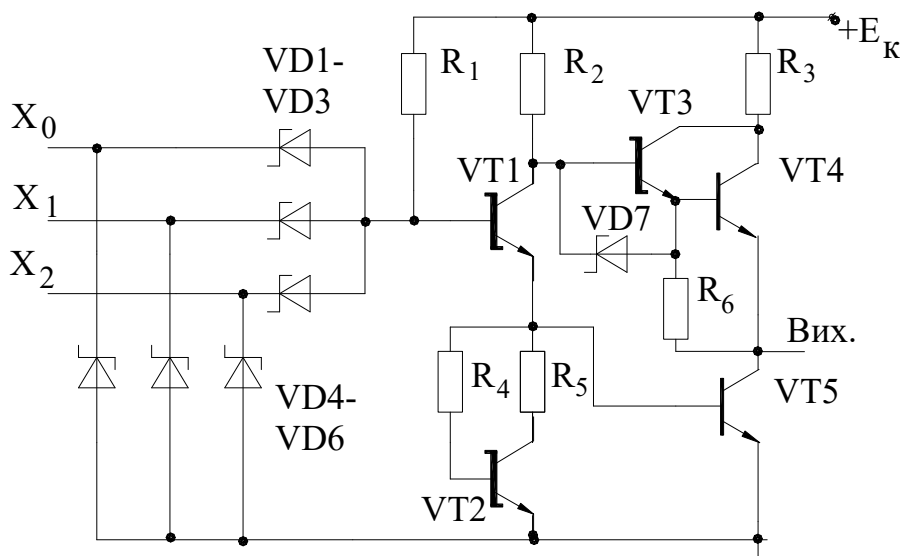


Рис. 4.4.

У мікросхемах ТТЛ, розроблених та використовуваних в останні роки (серії К1513, К1533, К531, К553), принципові схеми базових елементів вдосконалені у напрямках підвищення швидкодії та зменшення потужності.

На рис. 4.4 приведена принципова схема базового елемента підвищеної швидкодії (серія К555). Особливості цієї схеми, як видно з рисунку, полягає у наступному:

- багатоемітний транзистор замінюється елементом І, виконаним на діодах Шоткі, що виключає затримання, які виникали у попередній схемі за рахунок режиму насичення БТ;

- в емітері фазоінверсного каскаду (транзистор VT1) розміщується генератор стабільного струму на транзисторі VT2 та резисторах R_4 та R_5 . Це дозволяє підвищити швидкодію каскада і всього логічного елемента;

- замість транзистора VT2 для підвищення навантажувальної здатності встановлюється транзисторна пара зі включенням за схемою Дарлінгтона, а резистор R_6 створює необхідну напругу на базі транзистора VT3 для його відкриття. Діод VD7 дає можливість зменшити затримку вмикання схеми за рахунок використання частини енергії, що запасається в ємності навантаження, для підвищення струму колектора VT1 у перехідних режимах.

В останніх розробках (серії K1531, K1533) між логічним елементом та вихідним каскадом з динамічним навантаженням встановлюється допоміжний каскад підсилення, що дозволяє знизити вхідний струм низького рівня, зафіксувати вхідну порогову напругу на рівні 1,5 В. В ІС вказаних серій змінена технологія виготовлення транзисторів, що дозволило підняти межу їх робочих частот до 5 ГГц.

У табл. 4.1 приводиться порівняльна характеристика декількох сучасних технологій ТТЛ за головними параметрами і параметрами навантаження.

Табл. 4.1.

Серія ТТЛ	Параметри				Навантаження		
	$T_{з.рс},$ нс	$F_{макс},$ МГц	$P_{сп},$ мВт	$E,$ пДж	$C_n,$ пФ	$R_n,$ кОм	Розширення по виходу
K531	30	125	20	60	15	0,28	10
K555	10	45	2	20	15	2	20
KP1531	2	130	4	12	15	0,25	10
KP1533	4	50	2	4	15	2	20
KP1530	1,5	200	22	33	—	—	40

У табл. 4.2 приводяться пояснення основних параметрів для ТТЛ, а у табл. 4.3 – їх числові значення для трьох основних серій.

Табл. 4.2.

Позначення параметра	Розшифровка	Пояснення
$U^1_{\text{ВХ}}$	Вхідна напруга високого рівня	Значення вхідної напруги високого рівня на вході ІС
$U^0_{\text{ВХ}}$	Вхідна напруга низького рівня	Значення вхідної напруги низького рівня на вході ІС
$I^1_{\text{ВХ}}$	Вхідний струм високого рівня	Значення вхідного струму при напрузі високого рівня на вході
$I^0_{\text{ВХ}}$	Вхідний струм низького рівня	Значення вхідного струму при напрузі низького рівня на вході
$U^1_{\text{ВИХ}}$	Вихідна напруга високого рівня	Значення вихідної напруги високого рівня на виході ІС
$U^0_{\text{ВИХ}}$	Вихідна напруга низького рівня	Значення вихідної напруги низького рівня на виході ІС
$I^1_{\text{ВИХ}}$	Вихідний струм високого рівня	Значення вихідного струму при напрузі високого рівня на вході
$I^0_{\text{ВИХ(Z)}}$	Вихідний струм в Z-стані ІС	Значення вихідного струму при Z-стані ІС
$I^0_{\text{ВИХ}}$	Вихідний струм низького рівня	Значення вихідного струму при напрузі низького рівня на вході

Табл. 4.3.

Параметр	K555		K531		KP1531	
	Значення параметра					
	Min	Max	Min	Max	Min	Max
$U^1_{\text{ВХ}}, \text{ В}$	2		2		2	
$U^0_{\text{ВХ}}, \text{ В}$		0.8		0.8		0.8
$I^1_{\text{ВХ}}, \text{ мкА}$		20		50		20
$I^1_{\text{ВХ max}}, \text{ мА}$		0.1		1		0.1
$I^0_{\text{ВХ}}, \text{ мА}$		-0.4		-2.0		-0.6
$U^0_{\text{ВИХ}}, \text{ В}$		0.5		0.5		0.5
$U^1_{\text{ВИХ}}, \text{ В}$	2.7		2.7			2.7
$I^0_{\text{ВИХ}}, \text{ мкА}$		-20		-50		-20
$I^1_{\text{ВХ}}, \text{ мкА}$		100		250		100
$I^1_{\text{ВХ}}, \text{ мкА}$		20		50		20

Характерною особливістю ТТЛ ІС виступає наявність значних імпульсів струму живлення, які з'являються при зміні станів вихідного каскаду базового логічного елемента, коли один з транзисторів ще не закрився, а інший вже відкрився. Імпульсні струми небезпечні тим, що, протікаючи по шинах живлення, вони створюють імпульсні перешкоди. Для захисту від таких перешкод на шинах живлення використовують конденсатори. Рекомендується для кожного корпусу мікросхеми встановлювати високочастотний конденсатор ємністю 1...2 нФ. У цифрових схемах для забезпечення якісного живлення встановлюються також електролітичні конденсатори з розрахунку не менше 1 мкФ на 5 корпусів ТТЛ.

З ростом робочих частот перемикання ІС зростає не тільки частота імпульсів, а також збільшується середня потужність споживання, яка досягає максимального значення на частоті $f = t_{3,PC}^{-1}$. На величину потужності споживання мікросхеми впливає також ємність навантаження, збільшення якої призводить до підвищення вихідних струмів.

Завадостійкість ТТЛ ІС визначається конкретними значеннями та співвідношеннями напруг на входах і виходах при їх постійному з'єднанні, що ілюструється на рис. 4.5. Приведені цифри характеризують найбільш несприятливий випадок з точки зору температурних умов та живлення. Вихідний рівень напруги логічного нуля не перевищує 0,4 В, а логічної одиниці не знижується нижче 2,4 В.

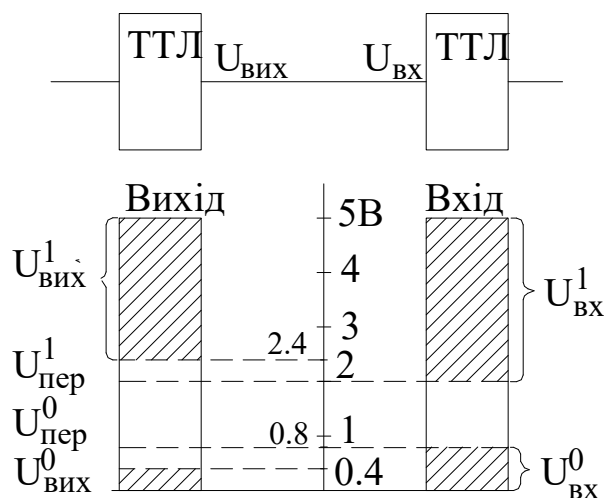


Рис.4.5.

У той же час, мікросхема буде нормально працювати, якщо на її вході рівень логічного “0” досягне 0,8 В, а рівень логічної “1” знизиться до 2 В. Гарантований запас перешкодостійкості в обох випадках становить 0,4 В.

Статична завадостійкість на низькому рівні, як витікає з рис. 4.5, визначається різницею:

$$U^0_{\text{ПЕР}} = |U^0_{\text{ВИХ.МАКС}} - U^0_{\text{ВХ.МАКС}}|;$$

на високому рівні:

$$U^1_{\text{ПЕР}} = |U^1_{\text{ВИХ.МАКС}} - U^1_{\text{ВХ.МАКС}}|.$$

З приведених формул витікає, що фактично *реальну величину перешкодостійкості визначають максимальні значення напруг*.

Реальна величина запасу перешкодостійкості перевищує 1 В. Порогова вхідна напруга, при якій відбувається зміна стану мікросхеми, досягає 1,3...1,4 В при кімнатній температурі, а типові значення вихідних напруг дорівнюють 0,2 і 0,3 В відповідно для рівнів “0” і “1”. Тому, якщо перешкода буде діяти на з’єднуючий мікросхеми інформаційний провідник у ситуації, коли вихід попередньої мікросхеми знаходиться в стані “0”, то послідовно не реагуватиме на перешкоду з амплітудою до 1,1...1,2 В. Аналогічно, у стані логічної “1” попередньої мікросхеми наступна буде стійкою до перешкод на шині живлення з амплітудами до 1,5...1,6 В.

Ще одна особливість ТТЛ полягає в недопустимості з’єднання виходів декількох елементів. Це пов’язано з тим, що при наявності такого з’єднання можлива ситуація, коли у відповідності з вхідними логічними сигналами на виході одного з них повинна з’явитись логічна “1”, а на виході другого – логічний “0”. При такій комбінації сигналів з’явиться прохідний струм, на який не розраховані елементи. Якщо ж все-таки така необхідність існує, наприклад, для підвищення вихідного струму, то в таких елементах необхідно з’єднувати і їх входи.

Проте у ряді цифрових пристроїв, де кілька вузлів чи блоків працюють на загальне навантаження, таке з’єднання принципово необхідне. У таких випадках використовуються елементи ТТЛ, які, поряд з двома звичайними станами, мають третій – так званий *Z-стан* (рис. 4.6).

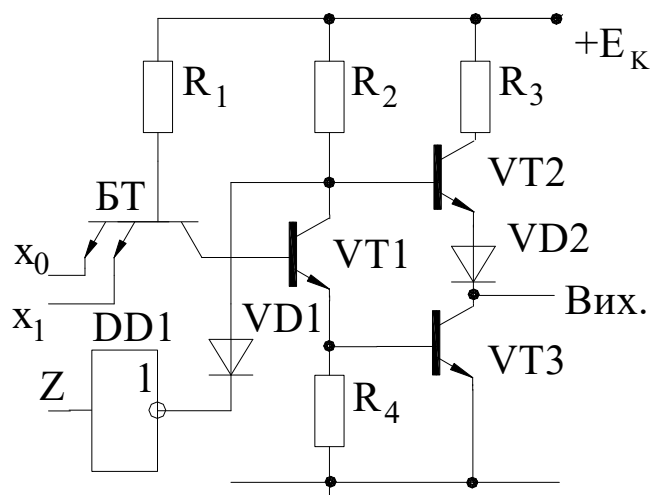


Рис. 4.6.

При подачі на вхід Z сигналу логічної “1” на виході DD1 встановиться низький рівень потенціал, при якому діод VD1 катодом замикається на загальну шину. При цьому колектор VT1 матиме потенціал, близький до нуля. При наявності сигналу логічного нуля на одному з входів елемента на резисторі R_4 також не буде надіння напруги. Це означає, що базові струми транзисторів VT2 та VT3 матимуть нульові значення і транзистори знаходитимуться в закритому стані. Вихід мікросхеми перебуватиме у так званому “висячому”, або Z-стані. Переведення мікросхеми у Z-стан означає, що шини, до яких приєднаний її вихід, можуть вільно використовуватись іншими інформаційними пристроями. Але слід пам’ятати, що при $Z = 0$ залишаються всі проблеми паралельного з’єднання виходів, тому при використанні таких мікросхем необхідно слідкувати, щоб при використанні загальної шини робота мікросхем була рознесена у часі.

Розглянемо тепер особливості мікросхем ТТЛ з точки зору використання їх входів. Нерідко маємо таку ситуацію, що не всі входи мікросхеми використовуються, і проектувант необхідно приймати рішення, що з ними робити. Для прийняття рішення необхідно знати, що одиночний вхід має ємність 1,5...3,5 пФ. Тому підключення великої кількості входів до виходу аналогічної мікросхеми приведе до підвищення загальної ємності, що, у свій час, – до підвищення $t_{3,PC}$ та збільшення потужності, що виділяється на мікросхемі. Тому запаралелення входів мікросхеми не рекомендується як із вказаних причин, так і через те, що кожен вхід додатково навантажує

попередню мікросхему. Рекомендується вільні входи підключати до джерела живлення через резистор, величина якого визначається вхідним струмом високого рівня $I^1_{ВХ}$. Іноді входи мікросхеми приєднують через резистор R_E до загальної шини. В залежності від величини опору резистора, падіння напруги на ньому від вхідного струму $I^0_{ВХ}$ може сприйматися мікросхемою як логічний “0”, “1” або може бути створений активний лінійний режим роботи логічного елемента. Величина опору, на якому забезпечується необхідна напруга $U_{ВХ}$, розраховується за формулою:

$$R_E = \frac{U_{ВХ} R_1}{E_K - U_{БЕ} - U_{ВХ}}.$$

При малих значеннях R_E , коли падіння напруги на ньому не перевищує рівня логічного нуля, поведінка мікросхеми відповідає сигналу $U^0_{ВХ}$.

Величина R_E може бути обчислена для конкретних типів мікросхем, R_1 для яких може бути знайдена у довіднику.

Наприклад, для ІС серії К555 величина опору $R_1 = 20$ кОм. Величина $U_{ВХ} < U^0_{МАКС} = 0,8$ В (табл. 2.3). При $U_{БЕ} = 0,7$ В знаходимо $R_E \leq 4,5$ кОм.

Для одержання гарантованого високого рівня $U_{ВХ} > 2,4$ В потрібно $R_E \geq 20$ кОм. Проміжні рівні опору можуть забезпечити активний режим логічного елемента.

Резистори на вході мікросхем іноді використовуються для виділення фронтів з вхідних імпульсів за допомогою диференціюючих RC -компонентів.

Необхідно знати ще про одну особливість використання ТТЛ ІС.

У ряді випадків виникає необхідність керувати за допомогою мікросхем роботою сигнальних ламп, світлодіодів, реле і т.п., які мають або інші робочі напруги, або споживану потужність, яка перевищує потужність виходів мікросхем. Для таких випадків використовуються спеціальні мікросхеми, які мають вихід транзистора з відкритим колектором (рис. 4.7, а). Величина струму колектора V_{T2} , в залежності від типу використовуваних мікросхем, може мати допустиме значення в діапазоні 20...60 мА, що дає можливість збільшувати потужність навантаження логічних елементів (рис. 4.7, б, в, г).

При реалізації приведених схем необхідно правильно оцінювати значення логічної функції, що реалізується.

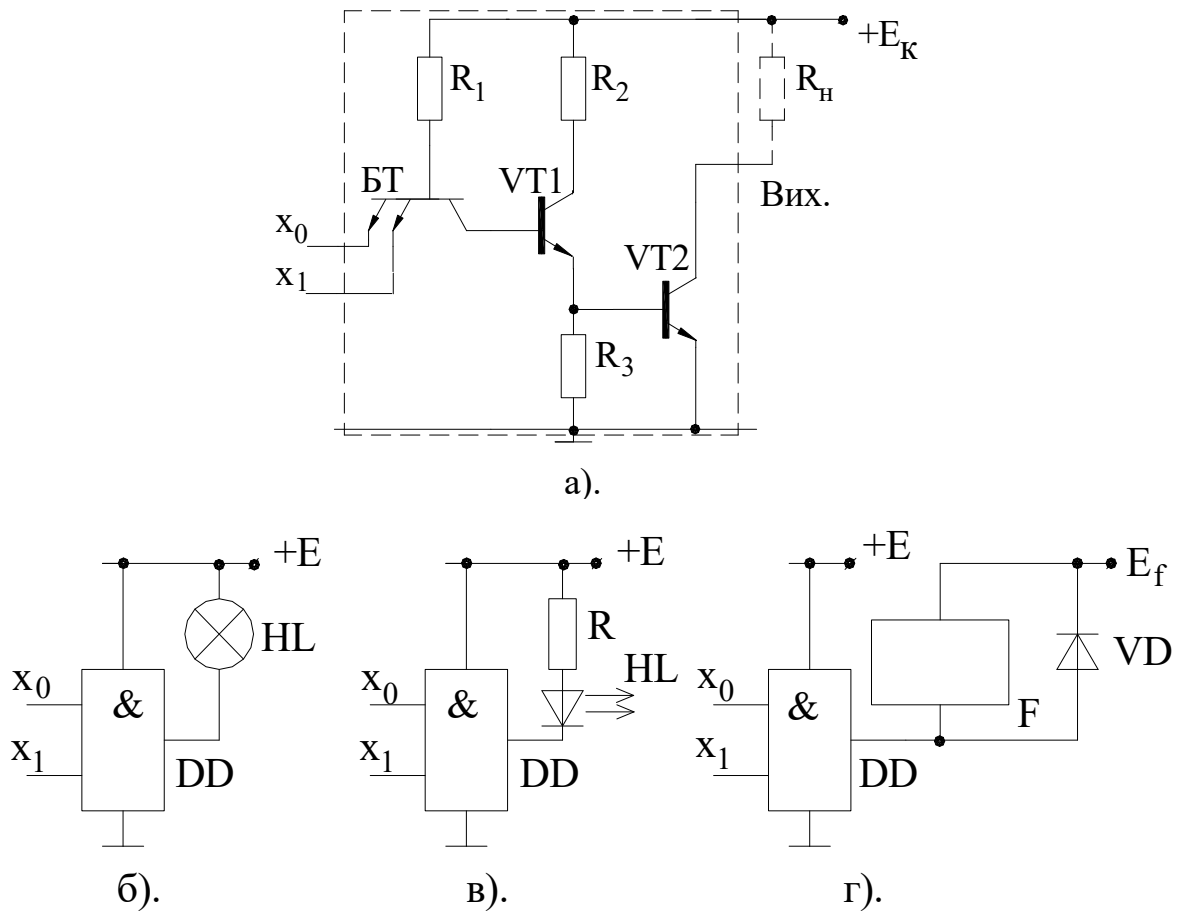


Рис. 4.7.

Логічний елемент DD реалізує логічні операції **2І**. Але, якщо проектантом закладається умова, що логічна одиниця визначається засвітленням лампи HL , світлодіода HL або спрацюванням реле F , то у такому випадку приведені схеми реалізують операцію **2І-НІ**.

Логічні елементи з відкритим колектором використовуються також для організації “монтажної” логіки. Приклад такої схеми приведений на рис. 4.8, а, а на рис. 4.8, б представлено умовне зображення монтажної логіки в електронних схемах. Ромбик є знаком того, що йдеться не про реальну мікросхему, а про спосіб з’єднання елементів.

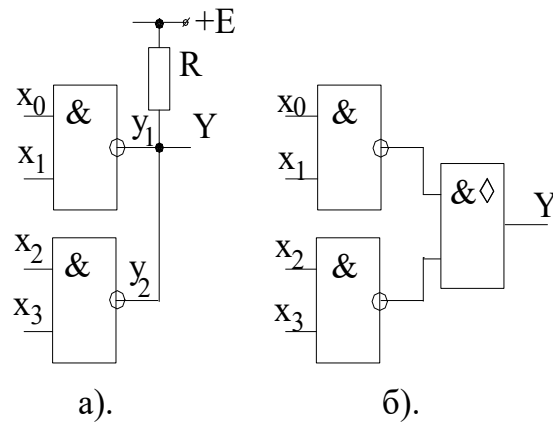


Рис.4.8.

Для забезпечення $Y = 1$ необхідно, щоб $y_1 = y_2 = 1$, тобто

$$Y = y_1 \& y_2.$$

Враховуючи, що

$$y_1 = \overline{x_0 \cdot x_1};$$

$$y_2 = \overline{x_2 \cdot x_3},$$

$$\text{Знаходимо } Y = \overline{x_0 \cdot x_1 \cdot x_2 \cdot x_3}.$$

Застосовуючи до знайденої функції теорему де Моргана, одержуємо остаточну формулу $Y = \overline{x_0 \cdot x_1 + x_2 \cdot x_3}$, з якої витікає, що “монтажне” з’єднання елементів з відкритим колектором функціонує подібно логічному елементу **I-АБО-НІ**.

При використанні “монтажної” логіки необхідно стежити, щоб рівні логічної одиниці $U^1_{\text{ВИХ}}$ і нуля $U^0_{\text{ВИХ}}$ не виходили за межі використовуваних стандартних елементів. Оскільки ці рівні залежать від E та R , то величина останнього не може бути довільною. Опір R впливає також на величину потужності, що виділяється на вихідному резисторі; на величину затримки в схемі; на навантажувальну здатність. Тому величину R вибирають в обмеженому діапазоні опорів, мінімальне і максимальне значення яких знаходиться за формулами:

$$R_{\text{МІН}} = \frac{E - U^0_{\text{ВИХ}}}{I^0_{\text{ВИХ}} - K_{\text{ВХ}} I^0_{\text{ВХ}}}; R_{\text{МАКС}} = \frac{E - U^1_{\text{ВИХ}}}{K_{\text{ВИХ}} I^1_{\text{ВИХ}} - K_{\text{ВХ}} I^1_{\text{ВХ}}},$$

де $K_{\text{ВИХ}}$ – кількість об’єднаних виходів; $K_{\text{ВХ}}$ – кількість підключених входів.

Розрахункові параметри можна взяти з табл. 3. Конкретне значення R вибирається з умови необхідної швидкодії та споживаної потужності.

Контрольні запитання

1. Способи кодування двійкових змінних, що застосовуються в елементах цифрових пристроїв?
2. Що таке затримка поширення сигналу при переході вихідної напруги від «0» до «1»? Як вона визначається?
3. Що таке передавальна характеристика цифрового елемента?
5. Що таке вхідний коефіцієнт навантаження?
7. Як влаштовані ТТЛ- елементи?
5. Що таке коефіцієнт розгалуження?
9. Які переваги і недоліки ТТЛ-логіка.

ПРАКТИЧНЕ ЗАНЯТТЯ №5. МІКРОСХЕМИ КМОН-СТРУКТУРИ

Інвертор КМОН. Мікросхеми КМОН використовують в якості базового логічного елемента інвертор, повна еквівалентна схема якого приведена на рис. 5.1.

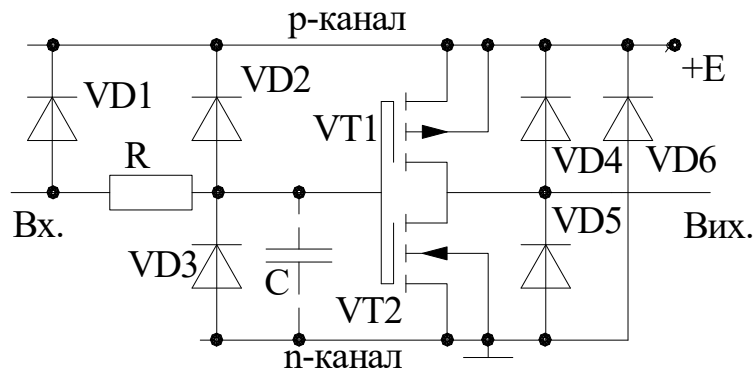


Рис. 5.1.

Безпосередньо функцію інвертора, аналогічного рис. 5.1, виконують транзистори VT1 та VT2. У кожному зі станів інвертора один з транзисторів закритий, і прохідний струм практично дорівнює нулю. Тому $U^1_{\text{вих}} \approx E$; $U^0_{\text{вих}} \approx 0$. Споживана потужність також практично дорівнює нулю, адже вхідний опір наступної мікросхеми (як навантаження інвертора) визначається величиною $10^{12} \dots 10^{14}$ Ом. Характерною особливістю КМОН-інверторів є виключно висока температурна стабільність. Коливання температури в межах $-55 \dots +125^\circ\text{C}$ приводять до зміни окремих параметрів ключа не більш ніж на 5%, тоді як вказані зміни температури приводять до зміни параметрів ТТЛ більш ніж на 40%.

Суттєвий недолік КМОН-інверторів полягає в їх надзвичайній “чутливості” до статичної електрики. Фізично це явище пояснюється тим, що затвор розміщується на дуже тонкому шарі діелектрика (товщиною близько 1 мкм), який одночасно виступає ізоляційним матеріалом у паразитній ємності C (рис. 5.1) між затвором та підкладкою. Ємність конденсатора ($C = 2 \dots 15$ пФ у залежності від серії) приводить навіть при невеликих накопичених зарядах, яким нікуди стікати, до високих пробивних напруг. Діоди на вході та виході ключа призначені для захисту інвертора. Діоди

VD1...VD3 захищають ізоляцію затвору від пробую. Діод VD1 (лавинного типу) має пробивну напругу 25 В, а VD2 і VD3 – 50 В. Захисний резистор $R = 200 \text{ Ом} - 2 \text{ кОм}$ не допускає швидких змін напруги на конденсаторі C , захищаючи тим самим попередній каскад від імпульсних навантажень. Діоди VD4...VD6 захищають вихід інвертора від можливого пробую. Діод VD4 має пробивну напругу 50 В, VD5 – 25 В. Діод VD6 захищає ключ від можливої зміни полярності напруги живлення.

Охоронні діоди VD2, VD3 разом з діодами VD4, VD5 створюють діодний міст, у діагоналі якого знаходиться джерело живлення. Всі діоди перебуватимуть у закритому стані до того часу, поки напруга на вході не перестане задовольняти умові $-0,7 \text{ В} \leq U_{\text{вх}} \leq U_{\text{п}} + 0,7 \text{ В}$.

Якщо вхідна напруга виходить за визначені межі, то при низькому внутрішньому опорі джерела живлення струм через охоронні діоди може стати більшим максимально допустимого $I_{\text{МАКС.Д}} = 10 \text{ мА}$, що призведе до їх виходу з ладу. Тому реально використовується обмеження величини струму на рівні 1...2 мА, що забезпечується установкою зовнішнього резистора R_3 . При цьому зросте постійна часу заряду вхідного конденсатора $\tau = (R_3 + R) C$, яка впливає на швидкість перемикання ключа.

Інвертор КМОН з трьома станами. Його схема є різновидом звичайних інверторів з допоміжними ключами (VT1 та VT4), які керуються сигналом Z (рис. 5.2).

При відкритих транзисторах VT1 та VT4 інвертор працює подібно раніше розглянутому. Якщо ж ключі закриті, живлення інвертора відключається і його вихід матиме високий опір по відношенню до шин живлення. Такі інвертори виготовляються як самостійні мікросхеми (наприклад, 546ЛН1 – елемент **6НІ**, аналоги західних фірм-виробників CD4502BD, HCC4502BD, ...) або використовуються у складі мікросхем різного призначення. Враховуючи значну величину вихідного опору, ключ може використовуватись для тривалого зберігання інформації, яка може бути записана в конденсатор, підключений до його виходу.

При використанні мікросхем з трьома станами необхідно враховувати деякі їх особливості роботи в динамічних режимах. Вони проявляються у

тому, що в режимі, коли на виході підтримується високий рівень сигналу і одночасно ключ знаходиться у Z -стані, перехід в один з робочих станів (високий або низький рівні виходу) проходить довше, ніж при перемиканні з високого в низький стани безпосередньо. Тому при використанні мікросхем у режимі монтажно́ї логіки можуть мати місце динамічні струми, що протікатимуть через р- транзистор однієї мікросхеми і n- транзистор іншої. Реально такий струм не призводить до виходу мікросхем з ладу (як у ТТЛ), але він приводить до напружених режимів і зростання рівня перешкод.

Двонаправлений ключ. Цей пристрій, який не має аналогів в мікросхемах інших технологій, складається з двох МОН-транзисторів різного типу провідності, які включені зустрічно-паралельно (рис. 5.3).

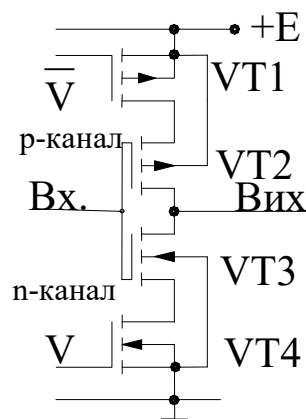


Рис. 5.2.

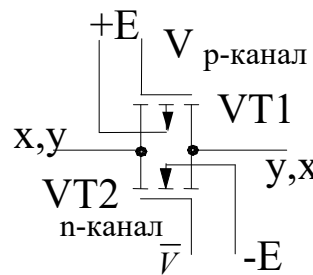


Рис. 5.3.

Керування ними забезпечується взаємоінверсними сигналами V та \bar{V} , що подаються на затвори VT1 та VT2. Напруга живлення подається на виводи підкладок: $+E$ для р- каналного транзистора VT1, $-E$ – для n-канального VT2. Двостороння провідність у схемі забезпечується завдяки тому, що транзистори зберігають працездатність, якщо витоки та стоки поміняти місцями.

Паралельне з'єднання транзисторів дозволяє зменшити загальний опір каналів, величина кожного з яких у відкритому стані має величину 100 Ом...1 кОм.

Відкритий стан обох транзисторів забезпечується при умові, коли потенціал затвору транзистора VT2 n- типу наближається до $+E$, а затвору

транзистора VT1 до $-E$. При цьому напруга, що підводиться до інформаційних входів-виходів x , y , завжди повинна мати позитивний потенціал відносно підкладки n-канального транзистора, тобто відносно шини $-E$, і негативний по відношенню до підкладки p-канального ($+E$).

Завдяки зустрічно-паралельному з'єднанню транзисторів VT1 та VT2 інформаційні сигнали на виході ключа не залежать від порогів їх відкриття і можуть змінюватися у межах напруги живлення. Величина опору каналу залежить від величини вхідної напруги, різниці потенціалів між підкладками та величини навантаження і в діапазоні частот роботи транзисторів визначається тільки активною складовою. Ця властивість дає можливість використовувати ключі для комутації як аналогових, так і дискретних сигналів.

Особливість роботи КМОН ІС з резистивним навантаженням. У тих випадках, коли мікросхеми КМОН приєднуються до входів ТТЛ ІС або інших резистивних навантажень, їх робота дещо відрізняється від ідеального режиму.

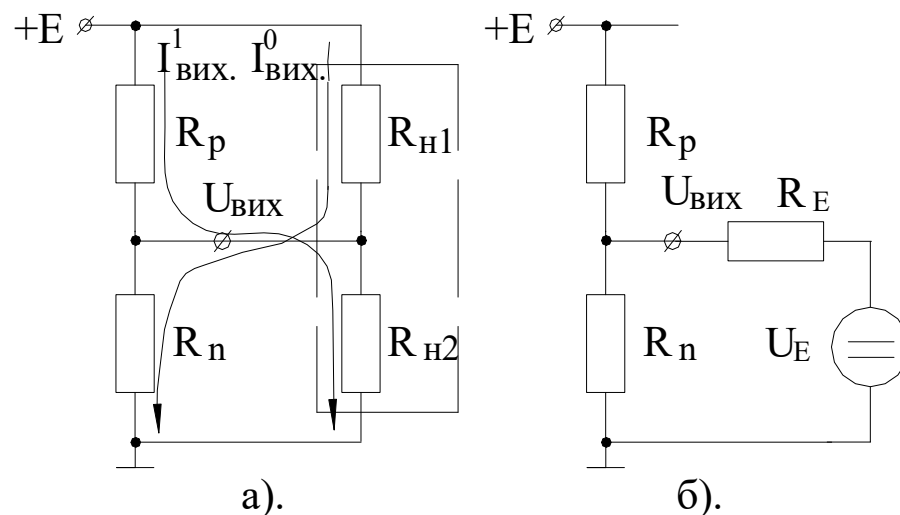


Рис. 5.4.

У будь-якому стані КМОН вихідний транзистор, що знаходиться у включеному стані, має опір, величина якого співрозмірна з відповідним значенням опору навантаження. Протікання струму через опори відкритих транзисторів буде приводити до появи падіння напруги на них, в результаті чого рівні логічних “0” і “1” можуть не відповідати вказаним вище величинам. Визначити необхідні обмеження, які накладаються на роботу

КМОН ІС зовнішнім навантаженням, можна на основі резистивної моделі ключа з зовнішнім навантаженням, яка приведена на рис. 5.4, а. Транзистори КМОН ключа представлені активними опорами R_p і R_n . При одному з двох можливих станів один має високий опір (більше 1 МОм), при іншому – низький. Для сучасних КМОН ІС величина резистора R_p визначається величиною близько 200 Ом, а R_n – близько 100 Ом. Навантаження моделюється двома опорами R_{H1} і R_{H2} , приєднаними до шин живлення.

Приклад 1. Визначити величини напруг $U^0_{\text{вих}}$ і $U^1_{\text{вих}}$ на виході мікросхеми при $R_{H1} = 1 \text{ кОм}$; $R_{H2} = 2 \text{ кОм}$.

Приведена схема заміщення може бути зображена у вигляді еквівалентної схеми, що приведена на рис. 5.4, б, де R_E – еквівалентний опір, а U_E – напруга еквівалентного генератора, яка дорівнює для даної схеми

$$U_E = (2 \text{ кОм} \cdot 5 \text{ В}) / (2 + 1) \text{ кОм} = 3,33 \text{ В}.$$

Струм короткого замикання:

$$I_K = 5 \text{ В} / 1 \text{ кОм} = 5 \text{ мА}.$$

Еквівалентний опір двополюсника:

$$R_E = U_E / I_K = 667 \text{ Ом}.$$

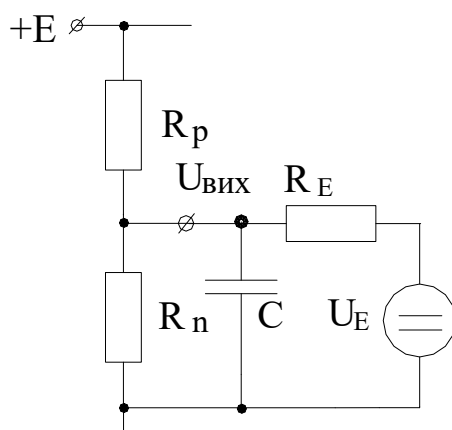
Якщо КМОН-ключ на своєму виході має низький рівень, вихідна напруга може бути обчислена за формулою:

$$U^0_{\text{вих}} = U_E \cdot R_n / (R_E + R_n) = 0,43 \text{ В}.$$

Аналогічно, при високому вихідному рівні маємо:

$$U^1_{\text{вих}} = U_E + (E - U_E) \cdot R_E / (R_p + R_E) = 4,61 \text{ В}.$$

Часові параметри визначаються тривалістю фронтів t^{01} , t^{10}



перемикання ключа, які, в свою чергу, майже повністю залежать від величин паразитних ємностей. Найбільший вплив серед них мають:

- ємності входних кіл, які для типових КМОН ІС мають величини 2...10 пФ;
- ємності з'єднуючих провідників, що характеризуються величинами до 0,4 пФ на 1 сантиметр довжини провідника.

Рис. 5.5.

Визначити тривалість фронтів можливо за допомогою аналізу перехідних процесів перемикання ключа. Останній проводиться на основі схеми заміщення інвертора, що приведена на рис. 5.5, в якій навантаження моделюється елементами R_E , U_E і C .

Розглянемо процес перемикання для випадку, коли КМОН-ключ працює в оточенні аналогічних мікросхем. Це дає право вважати, що $R_E = \infty$ і $U_E = 0$. Перехідні процеси для оцінки тривалості фронтів розглядаються при умові миттєвого перемикання ключа з одного стану в інший. Якщо ключ знаходиться в стані забезпечення високого вихідного рівня, то конденсатор C буде знаходитись у зарядженому стані з напругою E . При переході ключа з високого рівня до низького конденсатор C почне розряджатись на опір R_n згідно закону:

$$U_C = E \exp\left(-\frac{t}{R_n C}\right).$$

Якщо прийняти $E = 5$ В; $R_n = 100$ Ом; $C = 100$ пФ, а напругу низького порогового рівня $U_{ПН} = 0,3 E = 1,5$ В, то час перемикання матиме величину:

$$t_C = t^{1,0} = R_n C \ln\left(\frac{U_{ПН}}{E}\right) = 3,6 \text{ нс}.$$

При переході ключа з низького вихідного рівня до високого конденсатор C заряджатиметься від джерела живлення, і напруга на ньому змінюватиметься за законом:

$$U_C = E \left[1 - \exp\left(-\frac{t}{R_p C}\right)\right],$$

тому тривалість фронту, від нульової напруги до $0,7 E$ при $R_p = 200$ Ом і $C = 100$ пФ, буде:

$$t_\Phi = t^{0,1} = R_n C \ln\left(\frac{E - 0,7E}{E}\right) = 7,1 \text{ нс}.$$

Якщо оцінювати тривалості t_Φ і t_C не за пороговими рівнями, а за максимальними значеннями, то можна знайти, що $t_C = 12$ нс, а $t_\Phi = 24$ нс, що дає можливість зробити оцінку тривалості фронту та спаду за постійними часу заряду-розряду конденсатора: $(R_n C) = 10$ нс і $(R_p C) = 20$ нс.

Зрозуміло, що реальна швидкодія ключа визначатиметься сумарною ємністю навантаження з урахуванням усіх її складових.

Реалізація логічних функцій. Інвертуючі ключі КМОН ІС виступають базовою структурою для побудови логічних елементів виду **I-НІ**, **АБО-НІ** та більш складних.

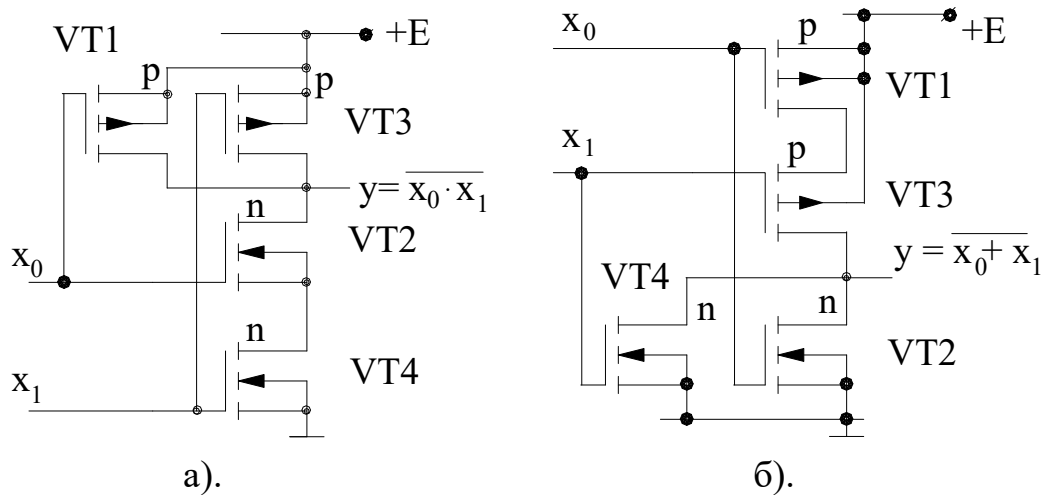


Рис. 5.6.

Організація елементів **I-НІ** забезпечується тим, що нижні транзистори ключа з'єднуються послідовно, а верхні – паралельно (рис. 5.6, а). Тобто логічна структура з двома входами будується на двох'ярусній основі. Логічна функція, що реалізується схемою, визначається транзисторами нижнього ярусу. При побудові логічних елементів такого типу послідовно з'єднується декілька транзисторів і, відповідно, зростає їх опір. Це приводить до зростання постійних часу заряду-розряду паразитних ємностей, тобто до зниження швидкодії. Щоб запобігти цьому явищу на практиці приходиться збільшувати розміри транзистора (перерізу каналу). Тому практично краще для збільшення кількості входів робити каскадне з'єднання декількох більш простих елементів.

Для реалізації операції **АБО** нижні транзистори (VT2, VT4), (рис. 5.6, б) з'єднуються паралельно.

Логічні елементи **I-НІ**, **АБО-НІ** з більшою кількістю входів створюються аналогічно. У сучасних серіях мікросхем елементи **I-НІ**, **АБО-НІ** виготовляються на 2, 3 та 4 входи.

При необхідності збільшення кількості входів використовуються два способи побудови монтажно́ї логіки.

Перший з них подібно до ТТЛ базується на використанні мікросхем з відкритим стоком (наприклад, логічний елемент 564ЛА10 – 2×(2І-НІ)). Недолік цього шляху полягає в тому, що логічні елементи з відкритим стоком мають лише два входи.

Другий спосіб базується на використанні звичайних елементів І-НІ, АБО-НІ. На рис. 5.7 приводяться приклади реалізації багатовходових елементів І-НІ (рис. 5.7, а) та АБО-НІ (рис. 5.7, б) на основі елементів з меншою кількістю входів.

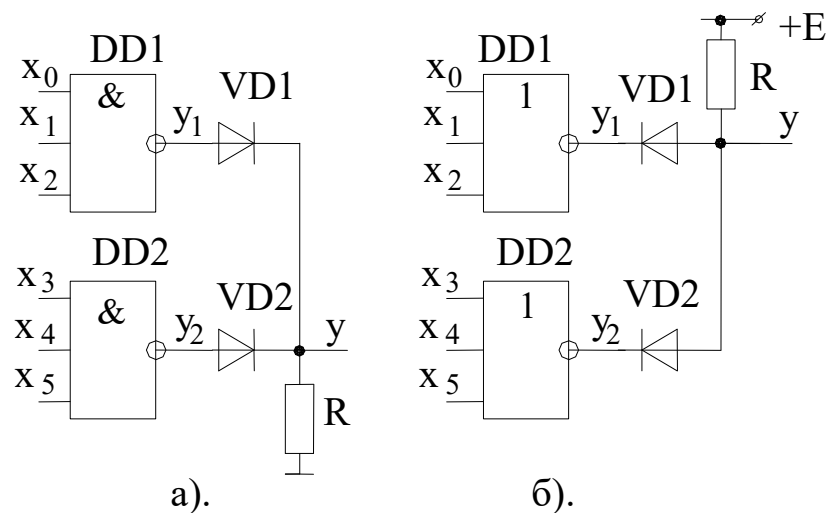


Рис. 5.7.

Для схеми (рис. 5.7, а) маємо:

$$y = y_1 + y_2 = \overline{x_0 \cdot x_1 \cdot x_2} + \overline{x_3 \cdot x_4 \cdot x_5} = \overline{x_0 \cdot x_1 \cdot x_2 \cdot x_3 \cdot x_4 \cdot x_5}.$$

Відповідно для схеми (рис. 5.7, б) маємо:

$$y = y_1 \cdot y_2 = \overline{x_0 + x_1 + x_2} \cdot \overline{x_3 + x_4 + x_5} = \overline{x_0 + x_1 + x_2 + x_3 + x_4 + x_5}.$$

Кількість мікросхем і діодів може бути більшою, ніж приведено на схемі.

Використання двонаправлених ключів. Двонаправлені ключі в КМОН-технологіях є складовою частиною багатьох мікросхем – мультиплексорів, перетворювачів кодів та ін. Вони також виготовляються як самостійні вироби, що дозволяють забезпечувати комутацію цифрових та аналогових сигналів зі струмом до 10 мА.

Як приклад, розглянемо можливості використання мікросхеми К564КТ3, що має чотири незалежні ключі, за типом того, що приведений на рис. 5.3. Опір каналу ключа залежить від напруги живлення і при $E = 15$ В має величину, що не перевершує 60 Ом. Характер опору – активний у діапазоні частот до 40 МГц. Канал керування – ізолюваний, з опором ізоляції до 10^{12} Ом. Для спеціалістів з аналогової техніки корисними будуть такі дані: коефіцієнт гармонік синусоїдального сигналу $K_f < 1\%$; перехресні завади між будь-якими двома ключами мікросхеми – менше -50 дБ.

Особливості використання монтажно́ї логіки. Найчастіше монтажна логіка використовується в схемах **2І-НІ**, в яких витік верхнього p-

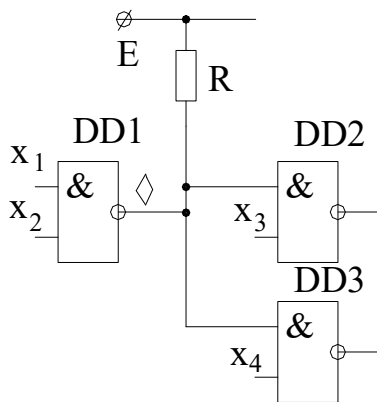


Рис. 5.8.

транзистора виводиться без з'єднання з транзисторами p- навантаження. Витік може бути приєднаний до напруги живлення через зовнішні елементи – такі, як резистори, створюючи монтажу логіку, котушки реле, світло діоди і т.д.

На рис. 5.8 приводиться приклад монтажно́ї логіки, де елемент DD1 має відкритий витік. У схемах монтажно́ї логіки резистор зовнішнього навантаження R повинен мати по можливості

менший опір. Але, в той же час, він не може бути дуже малим, оскільки ним задається величина вхідного струму мікросхеми. Наприклад, при величині вхідного струму 5 мА необхідно мати $R = 1$ кОм. Це значно перевищує R_p , а тому швидкодія таких ключових схем буде значно меншою.

При використанні схем з відкритим витоком величина обмежуючого опору R_0 знаходиться за формулою:

$$R_0 = \frac{E - U_{\text{сд}} - U_{\text{вих}}^0}{I_{\text{сд}}},$$

де $U_{\text{сд}}$, $I_{\text{сд}}$ – відповідно, падіння напруги на світлодіоді (0,3...0,4 В) та його робочий струм (10...30 мА).

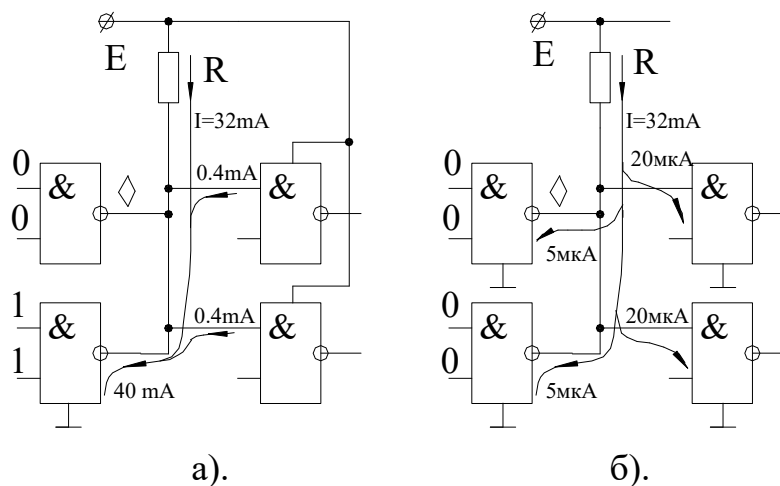


Рис. 5.9.

Більшість світлодіодів не критичні до величини робочого струму, тому і вибір R_0 може бути досить вільним.

У той же час, при виборі резистора навантаження необхідно враховувати наступні обмеження:

1. Сумарний струм через обмежуючий резистор у низькому стані мікросхеми монтажно́ї логіки і вхідний струм низького стану керованих нею мікросхем не повинен перевищувати струм активного виходу в низькому стані. Цю особливість пояснює рис. 5.9, а, де струм I через резистор R визначається як різниця між вхідним струмом низького рівня мікросхеми DD2 і вхідним струмом мікросхем DD3, DD4, тобто $I = 4 - 2 \times 0,4 = 3,2$ мА. Відповідно, мінімальна величина опору резистора R повинна бути

$$R = \frac{E}{I} = \frac{5 \text{ В}}{3,2 \text{ мА}} = 1,6 \text{ кОм}.$$

2. Падіння напруги на опорі в високому закритому стані не повинно знижувати вихідну напругу до рівня, нижчого $U_{\text{мін}}^1$, гарантуючи мінімальний високий рівень для мікросхем навантаження. Відповідно до рис. 5.9, б, загальний споживаний струм складає:

$$I = 2 \cdot 5 \text{ мкА} + 2 \cdot 20 \text{ мкА} = 50 \text{ мкА}.$$

Падіння напруги на резисторі повинно бути меншим ніж 1,5 В, тому

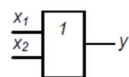
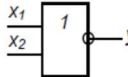
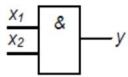
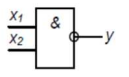
$$R \leq 1,5 / 50 \cdot 10^6 = 30 \text{ кОм}.$$

Контрольні запитання

1. Порівняйте сімейства логічних елементів:
а) за енергоспоживанням, б) за швидкістю.
2. Поясніть принцип дії цієї схеми КМОН- елемента з двома входами.
3. Які транзистори використовуються в КМОН-схемах?
4. Що характеризують коефіцієнт об'єднання по входу і коефіцієнт розгалуження по виходу?
5. Накресліть принципову схему 3-входової КМОН-схеми АБО-НІ.
6. Яка із КМОН- схем містить менше число транзисторів: інвертуючий вентиль або неінвертуючий вентиль?

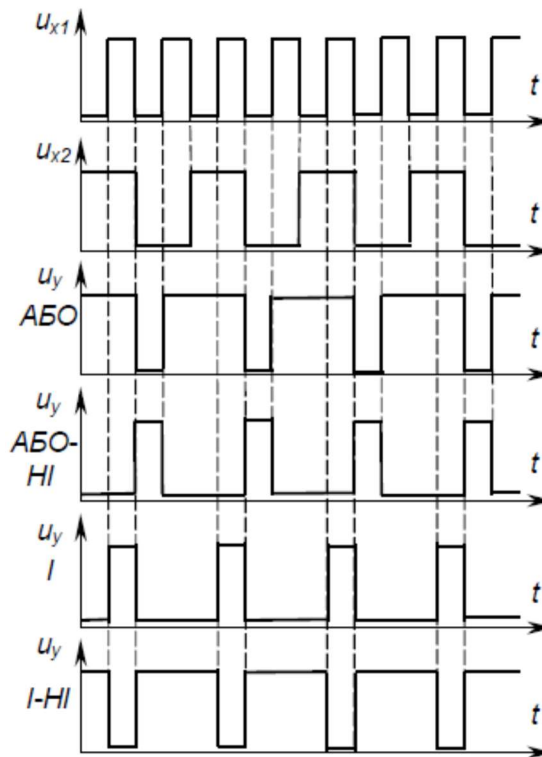
ПРАКТИЧНЕ ЗАНЯТТЯ №6. ВИКОРИСТАННЯ БАЗОВИХ ЛОГІЧНИХ ЕЛЕМЕНТІВ

Табл. 6.1. Деякі логічні функції двох змінних

Вхідні змінні		Функція у			
x_1	x_2	АБО	АБО-НІ	I	I-НІ
0	0	0	1	0	1
0	1	1	0	0	1
1	0	1	0	0	1
1	1	1	0	1	0
Математичний запис (формула)		$y = x_1 + x_2 = x_1 \vee x_2$	$y = \overline{x_1 + x_2}$	$y = x_1 \cdot x_2 = x_1 \wedge x_2$	$y = \overline{x_1 \cdot x_2}$
Назва функції		Логічне додавання (диз'юнкція) – функція АБО	Заперечення логічного додавання (стрілка Пірса) – функція АБО-НІ	Логічне множення (кон'юнкція) – функція I	Заперечення логічного множення (штрих Шеффера) – функція I-НІ
Графічне позначення елемента, що реалізує функцію					

Приклад 1. Побудувати часові діаграми роботи двовходових логічних елементів АБО, АБО-НІ, I, I-НІ.

Задача реалізації логічних функцій розв'язується шляхом використання правила подвійного заперечення та теореми де Моргана.



Приклад 2. Використовуючи елементи **І-НІ**, реалізувати функцію $y = x_1 \cdot \overline{x_2} + (\overline{x_2} + \overline{x_3}) \cdot \overline{x_1}$.

На основі правила подвійного заперечення задана функція може бути зображена у вигляді $y = \overline{\overline{x_1 \cdot \overline{x_2} \cdot (\overline{x_2} + \overline{x_3}) \cdot \overline{x_1}}}$.

Враховуючи, що $\overline{x_2} + \overline{x_3} = \overline{x_2 \cdot x_3}$, логічну схему можемо зобразити у вигляді, приведену на рис. 6.1.

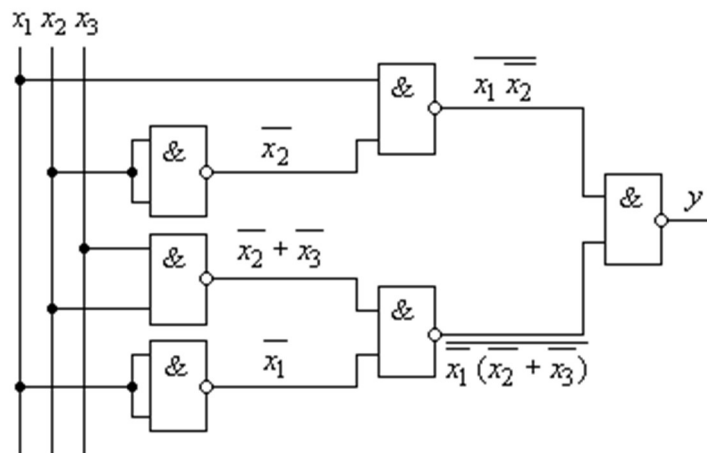


Рис. 6.1.

Приклад 3. Використовуючи елементи АБО-НІ, реалізувати функцію

$$y = x_1 \cdot (\overline{x_1 + x_2}) \cdot (x_2 + \overline{x_3} \cdot x_4).$$

За аналогією з попереднім прикладом, вираз зобразимо у вигляді

$$y = x_1 \cdot (\overline{x_1 + x_2}) \cdot (x_2 + \overline{x_3} \cdot x_4) = \overline{\overline{x_1 \cdot (\overline{x_1 + x_2}) \cdot (x_2 + \overline{x_3} \cdot x_4)}} = \overline{x_1 \cdot (\overline{x_1 + x_2}) + (x_2 + \overline{x_3} \cdot x_4)}.$$

Реалізація функції наведена на рис. 6.2. Враховано, що

$$x_1 \cdot (\overline{x_1 + x_2}) = x_1 \cdot \overline{x_1} + x_1 \cdot \overline{x_2} = x_1 \cdot \overline{x_2} = \overline{x_1 + x_2}; \quad \overline{x_3} \cdot x_4 = \overline{x_3 + \overline{x_4}}.$$

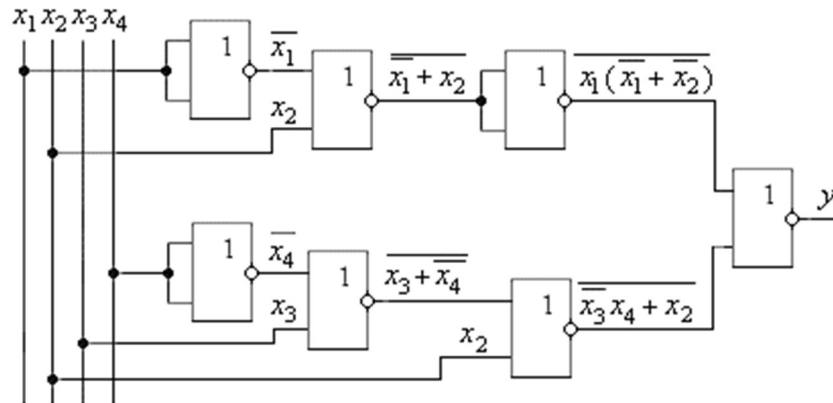


Рис. 6.2.

Приклад 4. Мінімізувати функцію $y = f(x_1, x_2, x_3, x_4) = \sum 1, 3, 4, 5, 7, 9, 11$

та реалізувати її в базисі І-НІ.

Заданій функції відповідає карта Карно

x_1, x_2	00	01	11	10
x_3, x_4				
00	0	0	1	1
01	0	0	1	1
11	0	0	0	0
10	1	0	1	1

Після мінімізації маємо: $y = x_3 x_4 + \overline{x_1} x_2 + \overline{x_1} \overline{x_3}$.

Перетворимо функцію за допомогою теореми де Моргана:

$y = \overline{\overline{x_3 x_4 + \overline{x_1} x_2 + \overline{x_1} \overline{x_3}}} = \overline{x_3 x_4 \cdot \overline{x_1} x_2 \cdot \overline{x_1} \overline{x_3}}$. Отриманий результат дозволяє реалізувати її в базисі І-НІ (рис. 6.3).

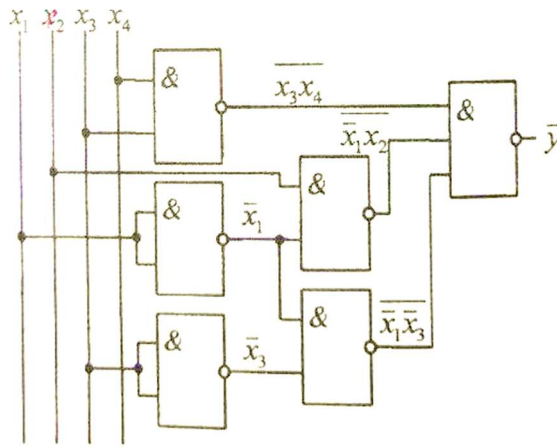


Рис. 6.3.

Приклад 5. Використовуючи елементи ТТЛ ІС, розробити схему І на 9 входів.

У серіях ТТЛ використовуються багатовхідні елементи І 4(2І), 3(3І), 2(4І), а також елементи 2І-НІ – 2(4І-НІ), 1(8І-НІ), 3(3І-НІ) (позначення 2(4І-НІ) говорить про те, що в одному корпусі мікросхеми наявні два чотирьохвходові логічні елементи І-НІ).

При використанні елементів 3(3І) (наприклад, мікросхеми К555ЛИЗ (зарубіжні аналоги – 74LS11, 74LS11N, DL011D, UCSY74LS11N)) використовується каскадне з'єднання елементів.

При використанні елементів 3(3І-НІ) логічну функцію $y = x_0 \cdot x_1 \cdot x_2 \cdot x_3 \cdot x_4 \cdot x_5 \cdot x_6 \cdot x_7 \cdot x_8$ перетворимо до виду $y = \overline{\overline{x_0 \cdot x_1 \cdot x_2} + \overline{x_3 \cdot x_4 \cdot x_5} + \overline{x_6 \cdot x_7 \cdot x_8}}$.

Необхідна схема може бути створена на базі мікросхеми 3(3І-НІ) (К1533ЛА4), виходи яких об'єднуються елементом 3(АБО-НІ) (К1533ЛЕ4).

Приклад 6. Використовуючи елементи ТТЛ ІС, розробити 9-входову схему АБО.

У серіях ТТЛ ІС наявні мікросхеми 4(2АБО-НІ) (7402DC, 7402FC, T7428B1), 3(3АБО-НІ) (7427DC, 7427PC, SN7427N), 2(5АБО-НІ).

При використанні елементів 3(3АБО-НІ) логічну функцію $y = x_0 + x_1 + x_2 + x_3 + x_4 + x_5 + x_6 + x_7 + x_8$ перетворимо до виду $y = \overline{\overline{(x_0 + x_1 + x_2)} \cdot \overline{(x_3 + x_4 + x_5)} \cdot \overline{(x_6 + x_7 + x_8)}}$.

Функцію на практиці можна реалізувати шляхом використання трьох елементів **ЗАБО-НІ** (мікросхема К1533ЛЕ4 (зарубіжні аналоги – 7427РС, МС7427N, SN7427N)), виходи яких об'єднуються одним елементом **ЗІ-НІ** (К1533ЛА4).

Приклад 7. Побудувати схему знаходження суми за модулем 2 на вісім входів, використовуючи двовходові елементи ТТЛ, які реалізують таку функцію.

У серіях ТТЛ ІС використовуються мікросхеми з двома входами К555ЛП5 (зарубіжні аналоги – 74LS86N, SN74LS86J), КР1533ЛП5 (аналог – 74ALS86) та К555ЛЛЗ (вихід останньої – з відкритим колектором). Вони реалізують наступну логічну функцію $y = x_1 \overline{x_0} + \overline{x_1} x_0 = x_1 \oplus x_0$.

Логічна функція, реалізацію якої поставлено задачею, має вигляд $y = x_0 \oplus x_1 \oplus x_2 \oplus x_3 \oplus x_4 \oplus x_5 \oplus x_6 \oplus x_7$.

Для побудови пристрою, що реалізує таку функцію, скористаємось сполучним законом, завдяки якому виконаємо два варіанти перетворень $y = (\dots(((x_0 \oplus x_1) \oplus x_2) \oplus x_3) \oplus x_4) \oplus x_5) \oplus x_6) \oplus x_7$,
 $y = ((x_0 \oplus x_1) \oplus (x_2 \oplus x_3)) \oplus ((x_4 \oplus x_5) \oplus (x_6 \oplus x_7))$.

Це дає можливість створити послідовну схему (рис. 6.4, а) та пірамідальну схему (рис. 6.4, б). Обидві схеми по апаратних затратах еквівалентні і виконуються з використанням двох корпусів, наприклад, мікросхеми К555ЛП5. Але величини часових затримок у них суттєво різні.

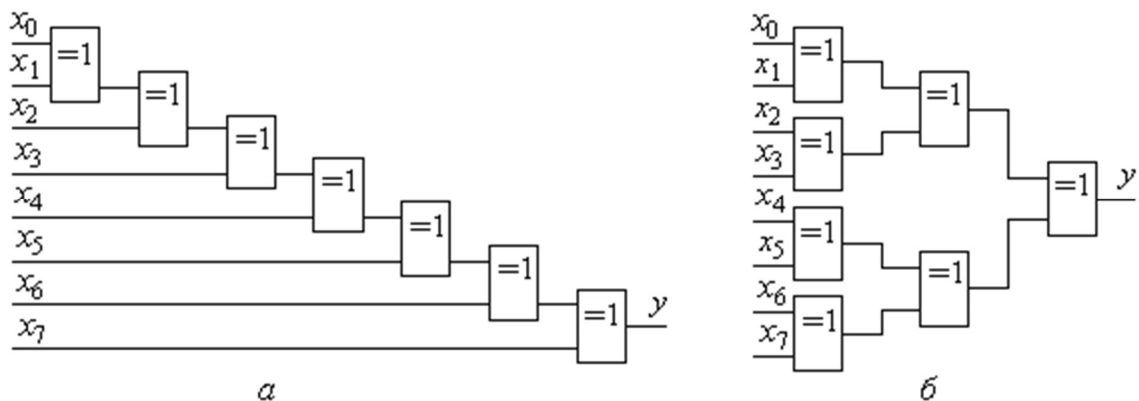


Рис. 6.4.

Приклад 8. Використовуючи елементи **ВИКЛ. АБО**, розробити схему пристрою для вмикання (вимикання) освітлення в приміщенні з трьома

Табл. 6.2. входами, біля кожного з яких повинен розміщуватись вимикач.

N	x_2	x_1	x_0	y
0	0	0	0	0
1	0	0	1	1
2	0	1	0	1
3	0	1	1	0
4	1	0	0	1
5	1	0	1	0
6	1	1	0	0
7	1	1	1	1

Складаємо таблицю станів функції, що реалізується пристроєм, прийнявши за логічні змінні стани вимикачів – відповідно x_2 , x_1 , x_0 (Табл. 6.2).

Прийнявши, що при вимкнених вимикачах лампочка освітлення не горить, тобто $y = 0$ при $x_0 = 0$, $x_1 = 0$, $x_2 = 0$, істинні значення функції будуть лише при непарній кількості ввімкнених вимикачів, тобто для мінтермів з порядковими номерами 1, 2, 4, 7.

Логічна функція буде описуватись наступним виразом

$$y = \vee 1, 2, 4, 7 = \overline{x_2} \overline{x_1} x_0 + \overline{x_2} x_1 \overline{x_0} + x_2 \overline{x_1} \overline{x_0} + x_2 x_1 x_0 = \overline{x_2} (\overline{x_1} x_0 + x_1 \overline{x_0}) + x_2 (x_1 x_0 + \overline{x_1} \overline{x_0}) =$$

$$= x_2 \oplus x_1 \oplus x_0 ,$$

Оскільки $\overline{\overline{x_1} x_0 + x_1 \overline{x_0}} = x_1 x_0 + \overline{x_1} \overline{x_0}$.

Схема пристрою може бути реалізована за одним з двох варіантів, приведених на рис. 6.3, а, б.

Завдання для самостійного вирішення

1. Виконайте реалізацію функції на елементах І-НІ:

$$y = \overline{\overline{x_1 + x_2} + x_1 + x_2}$$

2. Виконайте схемну реалізації функції ВИКЛ. АБО, що має два аргументи, на елементах І, АБО, НЕ.

3. Виконайте схемну реалізації функції ВИКЛ. АБО, що має три аргументи, на елементах І-НІ, АБО-НІ.

4. Виконайте реалізацію функцій в базисі І-НІ:

а) $y_1 = \overline{x_1} \cdot \overline{x_2} \cdot \overline{x_3}$; б) $y_2 = \overline{x_1} + \overline{x_2} + \overline{x_3}$; в) $y_2 = x_1 + x_2 + x_3$.

ПРАКТИЧНЕ ЗАНЯТТЯ №7. СИНТЕЗ КОМБІНАЦІЙНИХ СХЕМ НА МУЛЬТИПЛЕКСОРАХ

Мультиплексор – це цифровий комбінаційний пристрій, який забезпечує перетворення інформації, що задана на входах $d_7...d_0$ у паралельному форматі, в послідовний формат на виході Y ,

$$Y = \overline{a_2}\overline{a_1}\overline{a_0}d_0 + \overline{a_2}\overline{a_1}a_0d_1 + \overline{a_2}a_1\overline{a_0}d_2 + \overline{a_2}a_1a_0d_3 + a_2\overline{a_1}\overline{a_0}d_4 + a_2\overline{a_1}a_0d_5 + a_2a_1\overline{a_0}d_6 + a_2a_1a_0d_7.$$

Умовне позначення мультиплексора в електронних схемах приводиться на рис. 7.1. Входи A називають адресними (адресна шина), а входи D – входами даних (шина даних). Допоміжний вхід V називають керуючим або дозволяючим. З його урахуванням робота мультиплексора, приведеного на рис. 7.1, описуватиметься наступною логічною функцією

$$Y = \overline{v} \cdot (\overline{a_1} \overline{a_0} d_0 + \overline{a_1} a_0 d_1 + a_1 \overline{a_0} d_2 + a_1 a_0 d_3).$$

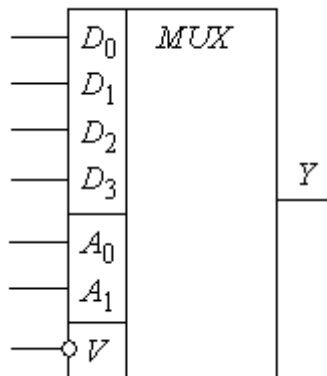


Рис. 7.1.

Приклад 1. Реалізувати на мультиплексорі “з чотирьох в один” (“4:1”) логічну функцію $y = x_0 \cdot x_1 + \overline{x_0} \cdot \overline{x_1}$.

Присвоївши адресним сигналам a_0, a_1 значення x_0, x_1 відповідно і забезпечивши виконання умов $d_1 = d_2 = 0, d_0 = d_3 = 1, v = 0$, одержимо схему пристрою (рис. 7.2), який реалізує задану функцію.

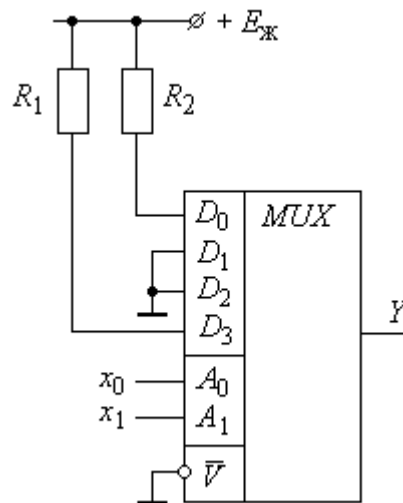


Рис. 7.2.

Нескладні перетворення логічних функцій дають можливість реалізовувати на мультиплексорах функції з кількістю змінних, що перевершує кількість адресних входів. Виконується наступна послідовність перетворень:

- у мінімізованій диз'юнктивній нормальній формі функції виділяються змінні, які мають найвищий ранг, тобто повторюються в найбільшій кількості диз'юнкцій. Наприклад, вибирається m змінних;
- виконується перетворення функції так, щоб забезпечити присутність виділених змінних в усіх диз'юнкціях. Для цього кожна диз'юнкція домножається на $1 = x + \bar{x}$;
- проводиться перегрупування змінних логічної функції таким чином, щоб виділені змінні були винесені за дужки у відповідних групах диз'юнкцій.

У результаті виконаних перетворень одержується формула вихідної функції, яка реалізується на мультиплексорі “з $M = 2^m$ в 1”, якщо на його адресні входи подати виділені змінні, а на інформаційних входах забезпечується виконання тих логічних виразів, які залишились в дужках. Якщо вирази в дужках є функціями декількох змінних, то їх реалізація може бути забезпечена або за допомогою іншого мультиплексора, або на основі типових логічних елементів.

Приклад 2.

Функцію

п'яти

змінних

$y = x_0 \cdot x_1 \cdot \bar{x}_3 \cdot \bar{x}_4 + \bar{x}_0 \cdot \bar{x}_3 \cdot x_4 + x_0 \cdot \bar{x}_2 \cdot x_3 + x_2 \cdot \bar{x}_3 + \bar{x}_1 \cdot x_2$ реалізувати з використанням мультиплексора “з 4-х в 1”.

У використовуваному мультиплексорі наявні два адресні входи – отже, вибираємо дві змінні з найбільшими рангами. Ранги змінних приведені в табл. 7.1.

Табл 7.1.

x_0	x_1	x_2	x_3	x_4
3	2	3	4	2

Вибираємо змінні x_2 та x_3 .

Виконуємо перетворення функції:

$$\begin{aligned}
 y &= x_0 \cdot x_1 \cdot \bar{x}_3 \cdot \bar{x}_4 \cdot (x_2 + \bar{x}_2) + \bar{x}_0 \cdot \bar{x}_3 \cdot x_4 \cdot (x_2 + \bar{x}_2) + x_0 \cdot \bar{x}_2 \cdot x_3 + x_2 \cdot \bar{x}_3 + \bar{x}_1 \cdot x_2 \cdot (x_3 + \bar{x}_3) = \\
 &= \bar{x}_2 \cdot \bar{x}_3 \cdot (x_0 \cdot x_1 \cdot \bar{x}_4 + \bar{x}_0 \cdot x_4) + \bar{x}_2 \cdot x_3 \cdot (x_0) + x_2 \cdot x_3 \cdot (\bar{x}_1) + x_2 \cdot \bar{x}_3 \cdot (x_0 \cdot x_1 \cdot x_4 + \bar{x}_0 \cdot x_4 + 1 + \bar{x}_1) = \\
 &= \bar{x}_2 \cdot \bar{x}_3 \cdot (x_0 \cdot x_1 \cdot \bar{x}_4 + \bar{x}_0 \cdot x_4) + \bar{x}_2 \cdot x_3 \cdot (x_0) + x_2 \cdot x_3 \cdot (\bar{x}_1) + x_2 \cdot \bar{x}_3 \cdot (1)
 \end{aligned}$$

Логічна сума в перших дужках також реалізується за допомогою мультиплексора 4:1, якщо на адресні входи його подати змінні x_0 та x_4 .

Принципова схема пристрою, що реалізує потрібну логічну функцію, приведена на рис. 7.3.

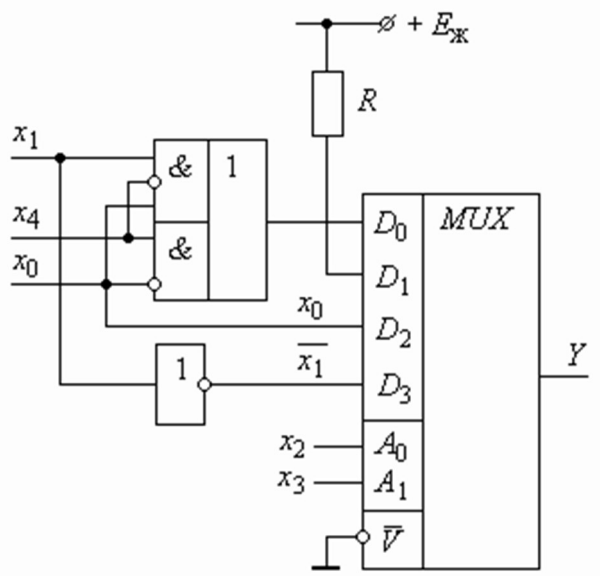


Рис. 7.3.

Але така схема є лише прикладом і на практиці не піддається реалізації, оскільки в серіях мікросхем відсутні мультиплексори **4:1**, а спарений мультиплексор K1533КП2 (зарубіжні аналоги – 74153РС, SN74153N) має об'єднані адресні входи.

Практично задача може бути розв'язана при використанні мультиплексора **8:1**.

Вибравши логічні змінні x_0, x_2, x_3 як змінні з найвищими рангами, функцію перетворимо до наступного вигляду:

$$y = \overline{x_0} \cdot \overline{x_2} \cdot \overline{x_3} \cdot (x_4) + \overline{x_0} \cdot \overline{x_2} \cdot \overline{x_3} \cdot (x_1 x_4) + \overline{x_0} \cdot \overline{x_2} \cdot \overline{x_3} \cdot (1) + \\ + x_0 \cdot \overline{x_2} \cdot \overline{x_3} \cdot (1) + \overline{x_0} \cdot \overline{x_2} \cdot x_3 \cdot (0) + \overline{x_0} \cdot \overline{x_2} \cdot x_3 \cdot (1) + \overline{x_0} \cdot \overline{x_2} \cdot x_3 \cdot (\overline{x_1}) + x_0 \cdot \overline{x_2} \cdot x_3 \cdot (\overline{x_1}).$$

У Табл. 7.2 зведені значення необхідних сигналів, які подаються на відповідні інформаційні входи.

На рис. 7.4 приведена схема, що реалізує необхідну функцію на мультиплексорі K1533КП7 (його зарубіжні аналоги – мікросхеми MC54151W, SN74151N). Необхідні допоміжні логічні функції реалізуються з використанням одного корпусу мікросхеми K1533ЛА3 (зарубіжні аналоги – 7400РС, МН7400, SN7400N).

Табл. 7.2.

N	x_3	x_2	x_0	D_i
0	0	0	0	x_4
1	0	0	1	$x_1 \cdot \overline{x_4}$
2	0	1	0	1
3	0	1	1	1
4	1	0	0	0
5	1	0	1	1
6	1	1	0	$\overline{x_1}$
7	1	1	1	$\overline{x_1}$

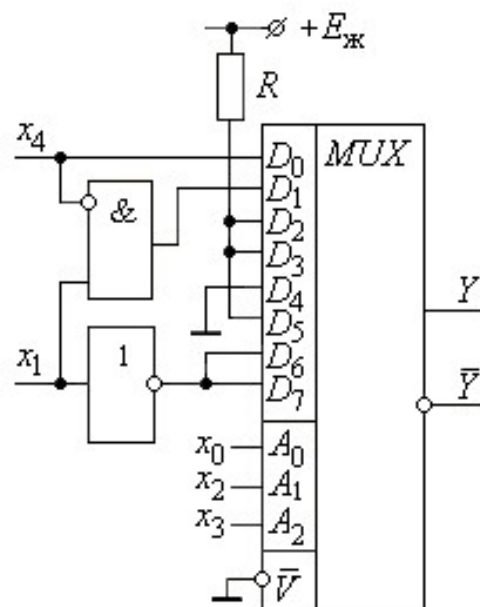


Рис. 7.4.

Приклад 3. Використовуючи мультиплексор К564КП2 8:1, реалізувати логічну функцію $y = \vee 0, 2, 3, 5, 7$.

Оскільки ЛФ має три змінні, то вони повинні бути приєднані до адресних входів $A_0 \div A_2$ (рис. 7.5). Щоб дозволити роботу мультиплексора, вхід \bar{V} повинен бути заземленим. Входи даних d_0, d_2, d_3, d_5, d_7 необхідно приєднати до шини живлення, а решту входів – заземлити. В результаті схема пристрою може бути реалізована на мультиплексорі К564КП2 (зарубіжні аналоги якого – 4051BDC, 4051BDM).

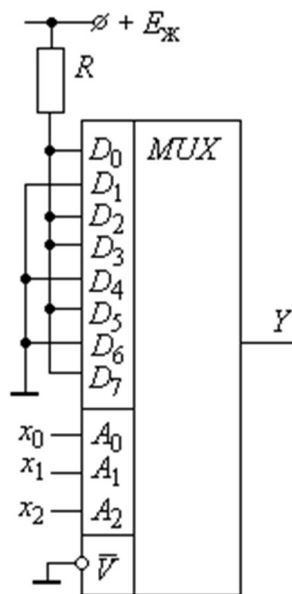


Рис. 7.5.

ПРАКТИЧНЕ ЗАНЯТТЯ №8. ПЕРЕТВОРЮВАЧІ КОДІВ

Приклад 1. Створити перетворювач двійкового коду в прямий код семисегментних індикаторів для відображення цифр десяткової системи числення.

Умовне розміщення світлодіодів матриці семисегментного індикатора наведене на рис. 8.1

Табл. 8.1

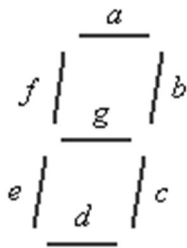


Рис. 8.1

<i>N</i>	x_3	x_2	x_1	x_0	<i>a</i>	<i>b</i>	<i>c</i>	<i>d</i>	<i>e</i>	<i>f</i>	<i>g</i>
0	0	0	0	0	1	1	1	1	1	1	0
1	0	0	0	1	0	1	1	0	0	0	0
2	0	0	1	0	1	1	0	1	1	0	1
3	0	0	1	1	1	1	1	1	0	0	1
4	0	1	0	0	0	1	1	0	0	1	1
5	0	1	0	1	1	0	1	1	0	1	1
6	0	1	1	0	1	0	1	1	1	1	1
7	0	1	1	1	1	1	1	0	0	0	0
8	1	0	0	0	1	1	1	1	1	1	1
9	1	0	0	1	1	1	1	1	0	1	1

Відповідно до нього, створюємо таблицю істинності перетворювача (Табл. 1), приписуючи значення логічної “1” тому світлодіодові, що засвічується при відображенні цифри, та логічного “0” – у протилежному випадку.

Використовуючи Табл. 8.1, можемо записати логічні функції роботи кожного світлодіода у ДДНФ:

$$a = \vee 0, 2, 3, 5, 6, 7, 8, 9 = \wedge 1, 4;$$

$$b = \vee 0, 1, 2, 3, 4, 7, 8, 9 = \wedge 5, 6;$$

$$c = \vee 0, 1, 3, 4, 5, 6, 7, 8, 9 = \wedge 2;$$

$$d = \vee 0, 2, 3, 5, 6, 8, 9 = \wedge 1, 4, 7;$$

$$e = \vee 0, 2, 6, 8 = \wedge 1, 3, 4, 5, 7, 9;$$

$$f = \vee 0, 4, 5, 6, 8, 9 = \wedge 1, 2, 3, 7;$$

$$g = \vee 2, 3, 4, 5, 6, 8, 9 = \wedge 0, 1, 7.$$

Даний перетворювач кодів може бути реалізований в базисі ЛЕ **I-АБО-НІ**.

Звернемо увагу на те, що проєктованим комбінаційним пристроєм не використовуються комбінації вхідних сигналів від **1010** до **1111**, яким відповідають десяткові числа від **10** до **15**, тобто логічні функції, котрі описують роботу світлодіодів семисегментного індикатора, є неповністю визначеними. Довизначивши їх одиницями і скориставшись даними Табл. 1, представляємо кожен логічний функцію у вигляді карти Карно (рис. 8.2) й мінімізуємо.

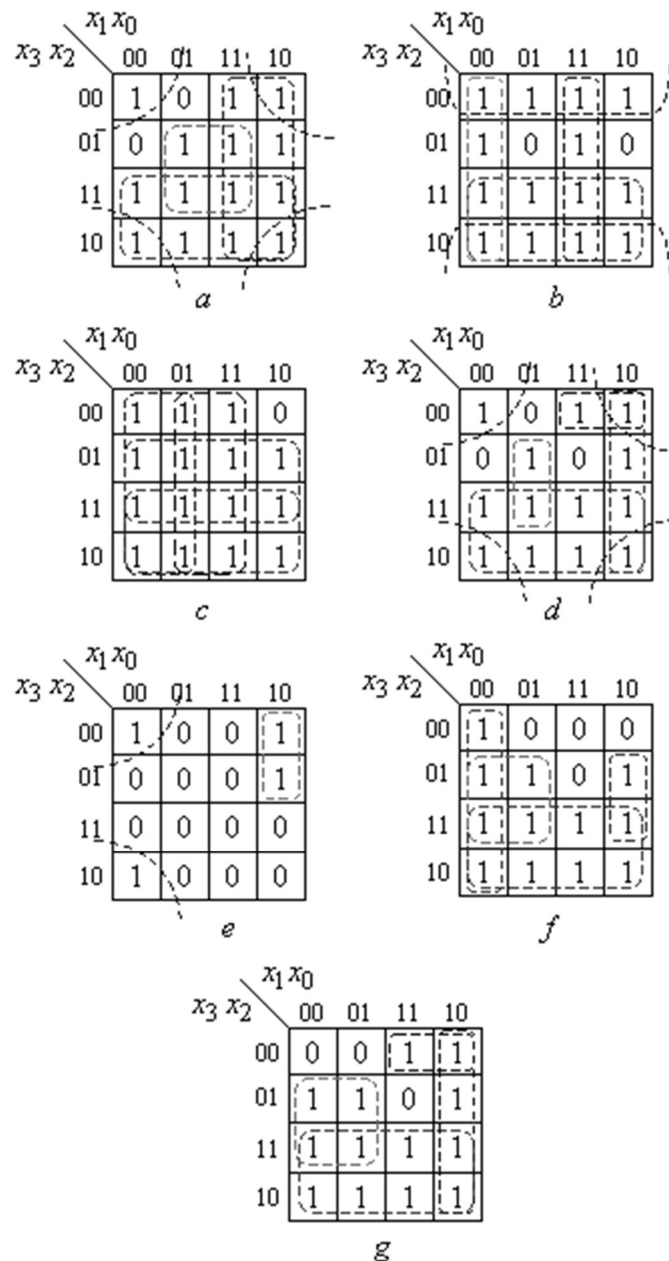


Рис. 8.2.

Після мінімізації знаходимо:

$$\begin{aligned}
a &= x_1 + x_3 + \overline{x_2} \cdot \overline{x_0} + x_2 \cdot x_0 \\
b &= \overline{x_2} + x_3 + \overline{x_1} \cdot \overline{x_0} + x_1 \cdot x_0 \\
c &= x_3 + x_2 + \overline{x_1} + x_0 \\
d &= x_3 + \overline{x_2} \cdot \overline{x_0} + x_1 \cdot \overline{x_0} + \overline{x_3} \cdot \overline{x_2} \cdot x_1 + x_2 \cdot \overline{x_1} \cdot \overline{x_0} \\
e &= \overline{x_2} \cdot \overline{x_1} \cdot \overline{x_0} + \overline{x_3} \cdot x_1 \cdot \overline{x_0} \\
f &= x_3 + \overline{x_1} \cdot \overline{x_0} + x_2 \cdot \overline{x_1} + x_2 \cdot x_1 \cdot \overline{x_0} \\
g &= x_3 + x_1 \cdot \overline{x_0} + x_2 \cdot \overline{x_1} + \overline{x_3} \cdot \overline{x_2} \cdot x_1
\end{aligned}$$

Технічна реалізація вказаних функції в базисі **I-АБО-НІ** не викликає складностей.

Табл. 1 відповідає логіці роботи дешифратора К564ИД5 (CD4056BE, НСС4056BD, ТС4056BF). Умовне графічне позначення дешифратора К564ИД5 приведено на рис. 8.3.

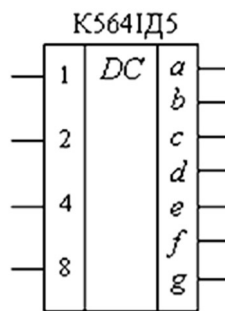


Рис. 8.3.

Таким чином, для побудови перетворювачів кодів перш за все необхідно мати таблицю істинності його роботи, яка складається з двох частин. Перша з них – це таблиця перебору змінних перетворюваного коду, а друга – це таблиця відповідності змінних отриманого коду. З приведенного вище прикладу витікає, що для створення перетворювача кожна з логічних змінних отриманого коду повинна розглядатись як функція, в якій аргументами виступають змінні перетворюваного коду.

Приклад 2. Розробити логічну схему перетворювача прямого двійкового коду в доповнюючий.

Доповнюючий код отримується інвертуванням кожного розряду прямого двійкового коду і додаванням до отриманого результату одиниці шляхом двійкової арифметики.

A_{10}	D_2 (доповнюючий)			
	d_3	d_2	d_1	d_0
0	0	0	0	0
1	1	1	1	1
2	1	1	1	0
3	1	1	0	1
4	1	1	0	0
5	1	0	1	1
6	1	0	1	0
7	1	0	0	1
8	1	0	0	0
9	0	1	1	1
10	0	1	1	0
11	0	1	0	1
12	0	1	0	0
13	0	0	1	1
14	0	0	1	0
15	0	0	0	1

Карти Карно для вихідних функцій перетворювача прямого двійкового коду в доповнюючий приведені на рис. 8.4.

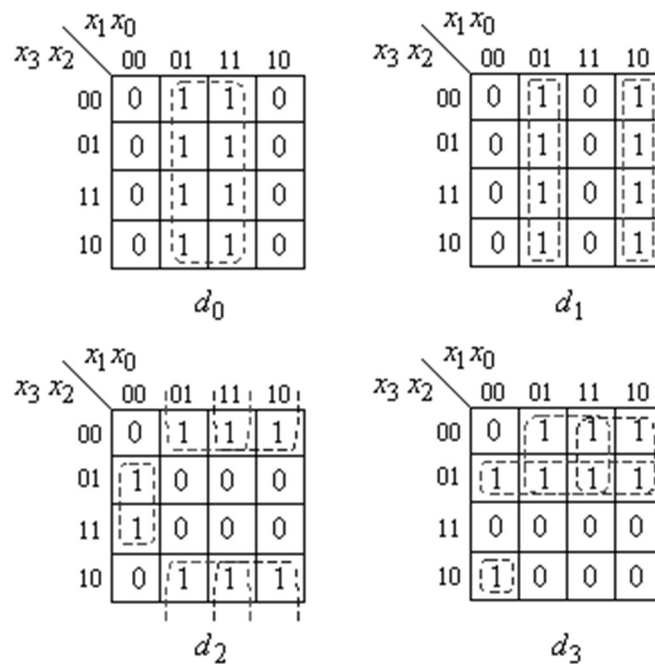


Рис. 8.4.

Мінімізовані значення логічних функцій:

$$d_0 = x_0 = 0 \oplus x_0 ;$$

$$d_1 = \overline{x_0} \cdot x_1 + x_0 \cdot \overline{x_1} = x_0 \oplus x_1 ;$$

$$d_2 = x_0 \cdot \overline{x_2} + x_1 \cdot \overline{x_2} + \overline{x_0} \cdot \overline{x_1} \cdot x_2 = (x_0 + x_1) \oplus x_2 ;$$

$$d_3 = x_2 \cdot \overline{x_3} + x_0 \cdot \overline{x_3} + x_1 \cdot \overline{x_3} + \overline{x_0} \cdot \overline{x_1} \cdot \overline{x_2} \cdot x_3 = (x_0 + x_1 + x_2) \oplus x_3 .$$

З аналізу приведених формул можна знайти загальний вигляд функції для i -го розряду вихідної функції $d_i = (x_0 + x_1 + \dots + x_{i-1}) \oplus x_i$.

Приклад 3. Розробити схему для перетворення десяткового коду з клавіатури калькулятора в відповідний йому двійково-десятковий код.

Прийmemo, що при натисканні відповідної клавіші (0...9) низький рівень відповідного сигналу перетвориться в чотирьохрозрядний двійковий код від **0000** до **1001**. Таблиця шифратора “з 10 в 4” (і, відповідно, дешифратора “з 4 в 10”) приводиться нижче (Табл. 2).

З Табл. 2 витікає, що для кожної клавіші вхідного коду характерною є лише одна з можливих комбінацій **1** та **0**. До решти комбінацій проєктований кодер повинен бути байдужим.

Аналогічно, у вихідних комбінаціях значень $y_3 y_2 y_1 y_0$ не використовуються набори від **1010** до **1111**.

Табл. 8.2.

N	x_0	x_1	x_2	x_3	x_4	x_5	x_6	x_7	x_8	x_9	y_3	y_2	y_1	y_0
0	0	1	1	1	1	1	1	1	1	1	0	0	0	0
1	1	0	1	1	1	1	1	1	1	1	0	0	0	1
2	1	1	0	1	1	1	1	1	1	1	0	0	1	0
3	1	1	1	0	1	1	1	1	1	1	0	0	1	1
4	1	1	1	1	0	1	1	1	1	1	0	1	0	0
5	1	1	1	1	1	0	1	1	1	1	0	1	0	1
6	1	1	1	1	1	1	0	1	1	1	0	1	1	0
7	1	1	1	1	1	1	1	0	1	1	0	1	1	1
8	1	1	1	1	1	1	1	1	0	1	1	0	0	0
9	1	1	1	1	1	1	1	1	1	0	1	0	0	1

Реалізація такого перетворювача може бути виконана з використанням формул:

$$y_0 = \overline{x_1} + \overline{x_3} + \overline{x_5} + \overline{x_7} + \overline{x_9} ;$$

$$y_1 = \overline{x_2} + \overline{x_3} + \overline{x_6} + \overline{x_7} ;$$

$$y_2 = \overline{x_4} + \overline{x_5} + \overline{x_6} + \overline{x_7} ;$$

$$y_3 = \overline{x_8} + \overline{x_9} .$$

Табл. 8.2 близька до таблиці станів шифратора K555IB3 з тією лише різницею, що виходи останнього $y_0 \dots y_3$ – інвертовані.

ПРАКТИЧНЕ ЗАНЯТТЯ №9. ТРИГЕРНІ ЕЛЕМЕНТИ

Приклад 1. Побудувати таблицю станів для асинхронного RS -тригера, виготовленого на логічних елементах **2І-НІ**, а також часові діаграми сигналів на входах і виходах при різних їх співвідношеннях.

Таблиця станів будується або на основі Табл. 9.1, або на основі логічних рівнянь і має вигляд Табл. 9.2.

Табл. 9.1.

R_n	S_n	Q_{n+1}
0	0	Q_n
0	1	1
1	0	0
1	1	x

$$Q_{n+1} = \overline{\overline{S_n} \cdot (Q_n \cdot \overline{R_n})};$$

$$\overline{Q}_{n+1} = \overline{\overline{R_n} \cdot (\overline{Q_n} \cdot \overline{S_n})}.$$

Високі рівні входних сигналів не змінюють стану тригера, а низькі рівні одночасно на двох входах є забороненими для тригера, виготовленого на логічних елементах **2І-НІ**. Установка (запис інформації) забезпечується низьким рівнем по входу \overline{S} , а обнуління – відповідно, низьким рівнем по входу \overline{R} . Часові діаграми, що пояснюють роботу тригера, приведені на рис. 9.1.

Табл. 9.2.

\overline{S}_n	\overline{R}_n	Q_{n+1}
0	0	∞
0	1	1
1	0	0
1	1	Q_n

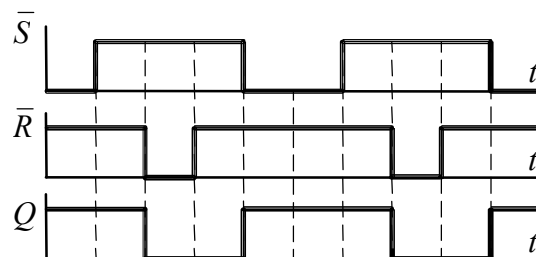


Рис. 9.1.

Приклад 2. На рис. 9.2 приводиться схема пристрою з використанням RS -тригера, що призначена для скорочення тривалості входного імпульсу. Пояснити роботу пристрою.

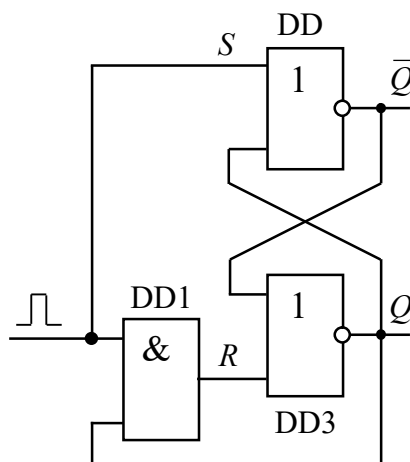


Рис. 9.2.

При подачі імпульсу високого рівня на вхід схеми він одночасно подається на вхід S тригера і встановлює його в стан, при якому забезпечується $Q = 1$. Цей процес перемикання триває деякий час, обумовлений часом послідовного перемикання логічних елементів DD2 і DD3. На виході DD1 в цей час має місце низький рівень сигналу. Після перемикання тригера на другому вході DD1 з'являється високий рівень сигналу, який з затримкою на його перемикання встановлюється на його виході і приводить до зворотної зміни стану тригера. Читачам пропонується самостійно побудувати часові діаграми.

Приклад 3. Використовуючи асинхронні D -тригери та допоміжну логіку, розробити схему пристрою для запису, тимчасового зберігання та зчитування напівбайтового слова.

Для побудови такого пристрою використаємо мікросхему TM5, що містить в собі 4 D -тригери, кожен з яких має D – вхід, Q – вихід та E – вхід дозволу. Схема кожного з тригерів близька до схеми з зовнішнім інвертором, в якій вхід C виконує функцію дозволяючого входу. Відповідно до таблиці станів тригера (Табл. 3), для запису інформації необхідно, щоб $E = 1$. Схема пристрою матиме вигляд, приведений на рис. 9.3. При високому рівні сигналу на вході WR інформація буде записуватись у тригери DD1.1 – DD1.4. Для її зчитування необхідно подати сигнал високого рівня на вхід RD .

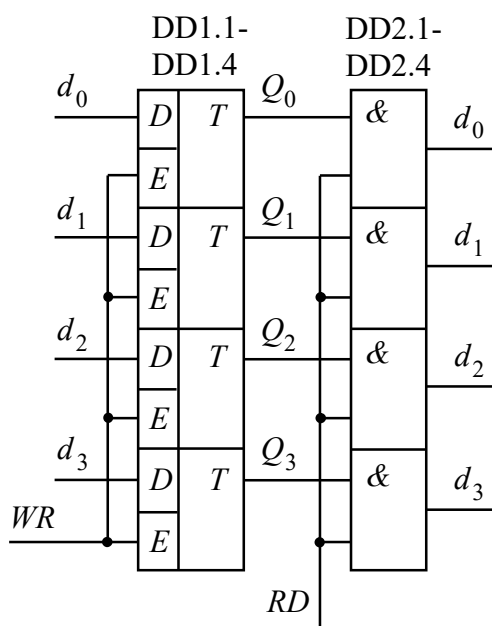


Рис. 9.3.

Табл. 9.3.

Режим роботи	Вхід		Вихід	
	E	D	Q	\bar{Q}
Дозвіл передачі даних	1	0	0	1
	1	1	1	0
Зберігання	0	x	Q_{n-1}	\bar{Q}_{n-1}

Табл. 9.4.

S_n	R_n	C	D_n	Q_{n+1}
0	0	1	0	0
0	0	1	1	1
0	0	1	x	Q_n
0	1	x	x	0
1	0	x	x	1
1	1	x	x	$Q = \bar{Q}$

Приклад 4. Дати пояснення особливості роботи D -тригера К561ТМ2 (аналоги західних фірм-виробників – 4013BDM, CD4013AD) за допомогою таблиці станів (Табл. 4).

Виходячи з перших двох рядків таблиці, бачимо, що маємо справу з динамічним тригером, який в синхронному режимі за фронтом синхроімпульсу забезпечує запис інформації з D -входу.

Третій рядок інформує про те, що за спадом синхроімпульсу тригер на значення D -входу не реагує. Четвертий і п'ятий рядки характеризують режим роботи асинхронного RS -тригера, виготовленого на ЛЕ **2АБО-НІ**. Шостий рядок – заборонений асинхронний режим. Для роботи пристрою в режимі D -тригера асинхронні входи S і R необхідно заземлити.

Приклад 6. Для JK -тригера MS -типу, схема якого наведена на рис. 9.4, при початкових умовах $J = K = Q_1 = Q_2 = 0$ задається наступна послідовність сигналів:

1. $J, 0 \rightarrow 1$; $K, 0 \rightarrow 0$; C – перший імпульс синхронізації;
2. $J, 1 \rightarrow 1$; $K, 0 \rightarrow 1$; C – другий імпульс синхронізації;
3. $J, 1 \rightarrow 0$; $K, 1 \rightarrow 1$; C – третій імпульс синхронізації;

4. $J, 0 \rightarrow 0$; $K, 1 \rightarrow 0$; C – четвертий імпульс синхронізації.

Зміна сигналів на входах J і K відбувається в інтервали часу, коли синхросигнали відсутні. Необхідно побудувати часові діаграми на входах J , K і виходах Q_1 , Q_2 тригера в інтервали часу, протягом яких були подані чотири синхросигнали C .

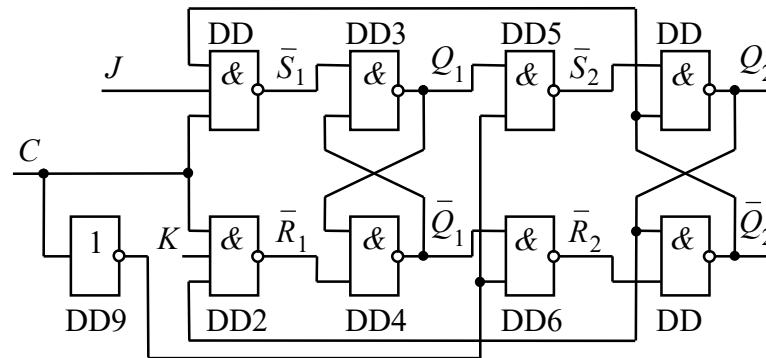


Рис. 9.4.

Часові діаграми наведені на рис. 9.5.

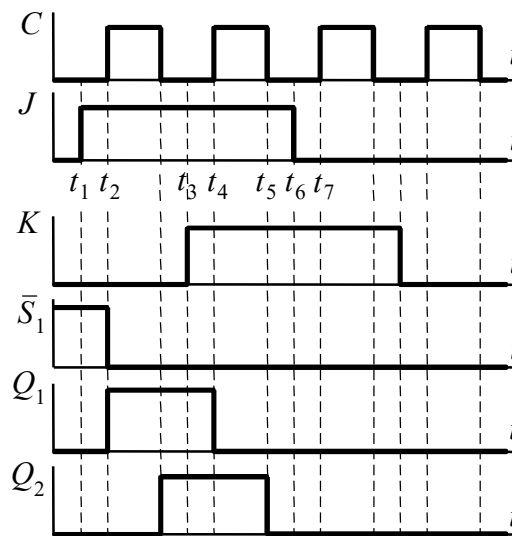


Рис. 9.5.

У момент часу t_1 сигнал на вході J переходить з низького рівня в високий. Через інтервал часу t_2 , який повинен бути достатнім для усталення перехідних процесів на J -вході, подається сигнал C . Оскільки на вході DD1 в цей час маємо два сигнали високого рівня J і \bar{Q}_2 , то на виході DD1 сигнал \bar{S}_1 прийме низький рівень, в той час як вихід \bar{R}_1 ЛЕ DD2 матиме високий рівень логічного сигналу. Таке співвідношення сигналів \bar{S}_1 і \bar{R}_1 приведе до появи на виході Q_1 сигналу високого рівня. Вказане розподілення рівнів напруг

залишатиметься протягом часу тривалості синхроімпульсу. При спаді синхроімпульсу на виході DD9 з'явиться високий рівень сигналу, який призведе до зміни стану DD5 і, відповідно, перезапису сигналу Q_1 на вихід Q_2 . У момент t_3 з'являється сигнал високого рівня на вході K . На цей час $Q_2 = 1$ і, відповідно, при $K = 1$, $Q_2 = 1$ поява в t_4 другого синхроімпульсу приведе до зміни стану DD2, \bar{R}_1 стане рівним нулю і, відповідно, $\bar{Q}_1 = 1$, $Q_1 = 0$. За спадом другого синхроімпульсу низький рівень перезапишеться на вихід Q_2 . У подальшому, при дії синхроімпульсів рівні сигналів не змінюються.

Контрольні запитання

1. Що таке тригери і де вони застосовуються?
2. Якими способами можна описати закон функціонування тригера?
7. Що таке RS-тригер? Які різновиди має RS-тригер?
8. Наведіть схему RS-тригера в базисі І-НІ.
9. Наведіть схему RS-тригера в базисі АБО-НІ.
10. Що таке D-тригер та де він застосовується?
11. Які існують відмінності Т- тригера від RS-тригера?
13. Що таке лічильний режим роботи тригера?
14. Що таке синхронні тригери?

СПИСОК ЛІТЕРАТУРИ

1. Рябенський В. М. Цифрова схемотехніка: навчальний посібник / В. М.Рябенський, В. Я. Жуйков, В. Д. Гулий – Львів: Новий Світ-2000, 2020. – 736 с.
2. Схемотехніка електронних систем : Підруч. для студ. вищ. навч. закл. Т. 2. Цифрова схемотехніка / В. Я. Жуйков, В. І. Бойко, А. А. Зорі та ін. – К. : Аверс, 2002. – 405 с.
3. Схемотехніка електронних систем: У 3 кн. Кн. 2. Цифрова схемотехніка: Підручник / В. І. Бойко, А. М. Гуржій, В. Я. Жуйков, та ін. – 2-ге вид., допов. і переробл. – К.: Вища шк., 2004. – 423 с.
4. Схемотехніка електронних систем: том 2 Цифрова схемотехніка: підручник / В. М. Співак, В. В. Багрій В. Я. Жуйков та ін – К.: Вища школа 2005. – 320 с.
5. Рябенський В. М. Схемотехніка: Пристрої цифрової електроніки [Електронний ресурс] : в 2 т. : підручник для студентів, що навчаються за спеціальності «Електроніка» / В. М. Рябенський, В. Я. Жуйков, Ю. С. Ямненко, А. В. Заграничний; НТУУ «КПІ». – Електронні текстові дані (2 файли: 5,06 Мбайт, 5,46 Мбайт). – Київ, 2016. – 757 с.
6. Бабич М. П. Комп'ютерна схемотехніка : навч. пос. / М. П. Бабич, І. А. Жуков. – К. : «МК-Прес», 2004. – 412 с.
7. Бабич. Н.П. Основы цифровой схемотехники: учебное пособие / Н.П. Бабич, И.А. Жуков. - М.: Издательский дом —Додэка-XXI, К.: «МК-Пресс», 2007.- 480 с.
8. Угрюмов Е.П. Цифровая схемотехника: учебное пособие / Е.П. Угрюмов. – СПб.: БХВ - Петербург, 2007. – 800 с.